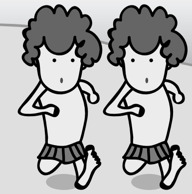
第2章

冗長設計，私の取り組み事例 15連発！

ハードウェアやソフトウェアの2重化から動作温度に関するディレーティングまで



柴田 肇，細田隆之，漆谷正義，沖田十三，小山英利，櫻田信弥，島田義人，佐藤四郎，川田章弘，結城健二，今村元一，河添秋雄，月元誠士

ここでは，第１章で紹介した冗長設計についての具体的な取り組み事例を紹介する．ハードウェア設計者やソフトウェア設計者，IC設計者，電源設計者，プロジェクト責任者など，さまざまな立場のエンジニアが考案・実施した冗長設計について，15の事例にまとめてある．（編集部）

本章で紹介する設計事例を下掲の**表1**にまとめました．ある筆者は次のように言います．「結局，起こり得るトラブルを事前に想定するにも，個人の想像力という能力頼みなところはあります．トラブルが発生して，調べていくと，そりゃ当然だろう！なんで想定できなかったの？ってことも少なくないです．センスの問題なのかもしれません」．

起こり得るトラブルを事前に想定する能力（センス）は，経験と普段からの知的探求心によって磨かれるものだと思います．ここに掲載する事例が少しでも皆さんのセンスを磨く助けになれば幸いです．

信頼性の高い製品を作るにはコストが掛かるというのが一般的な考え方のようですが，最近では，信頼性を高くしておかないと後から追加費用が発生し，かえってコスト高になってしまうケースがみられます．

信頼性を数値化し，さらにそれをお金に換算するのは難しいことです．しかし，製品を購入する顧客は，信頼性に関して感覚的な評価基準を持っており，ブランドという「信頼性の一つの物差し」にお金を出しています．信頼は1日では得られません．長い年月をかけて，コツコツと培っていくものであると考えます．

表1　本稿で紹介する冗長設計事例

	事　例	分　類	ページ
1	アナログICのばらつきを抑える設計法	回路	77
2	EPROMの2重化，EPROMの比較結果の誤り訂正符号化	回路	80
3	PLLにより無線制御機器の妨害排除能力を強化する	回路	84
4	使わない端子や機能も定義しておく	ソフトウェア	86
5	IPコアの規模増大やI/Oの複雑化への対応	ソフトウェア	88
6	Hブリッジを使ったモータ・ドライバの破壊を防ぐ回路	回路	90
7	可変抵抗器の接触不良による事故を防ぐ回路	回路	91
8	コネクタ周りで起こるトラブルを予防する	回路	92
9	MMICアンプのバイアス回路は電圧変動を考慮して設計する	回路	93
10	温度上昇や最大消費電力を考慮しパッケージを決めた	設計への取り組み	94
11	大電流回路は電源分割を行い個別にヒューズを入れる	設計への取り組み	96
12	発煙・発火防止を目的とした基準を作る	設計への取り組み	98
13	リニア電圧レギュレータを利用する際の放熱設計	設計への取り組み	100
14	信頼性を高める電源の使い方	設計への取り組み	102
15	異種電源が混在する場合は，電源の立ち上がり特性の違いに配慮する	設計への取り組み	107

KeyWord
EEPROM，PLL，Hブリッジ，接触不良，OPアンプの消費電力，ヒューズ，発煙，発火，リニア電圧レギュレータ，クランプ回路，MTBF，熱抵抗，アレニウスの法則



事例1

アナログICの特性のばらつきを抑える設計法

柴田 肇

IC全般を見渡すと，製造工程での欠陥やパッケージング，メタル・マイグレーション，ホット・エレクトロンによるMOSFETのスレッショルド電圧の経時変化など，今回の特集のテーマと直接的に結びつく事柄がいくつもあります．しかし，ICの場合，信頼性にかかわる物事の多くは製造工程に関係するものが多く，筆者の仕事である回路設計においては，ほとんどかかわることはありません．そこで，信頼性設計や冗長設計を，「信頼性の高い設計 → 良い設計 → 歩留まりの高いIC設計」と，かなり広義にとらえて，歩留まりが悪くならないようにするためにアナログIC設計でできることについてお話しします．

歩留まりは製造工程における欠陥などにも影響されますが，当然のことながら設計の良しあしにも大きく影響されます．筆者の今までの経験から言うと，アナログIC設計において歩留まりを大きく左右する主な要因は，MOSFETや抵抗，容量といった素子のばらつきです．設計段階でばらつきの影響をよく考慮していなかったために，「作ってみると動作点がずれているものが多く，温度を変えると動かなくなってしまった」というのが典型的なケースです．

やっかいな素子のばらつきですが，ディスクリート構成のように，「5%の抵抗だとばらつきが大き過ぎるから1%の抵抗に付け替えよう」というわけにはいきません．したがって，ばらつきを改善するためには，次の対策のいずれかを行います．

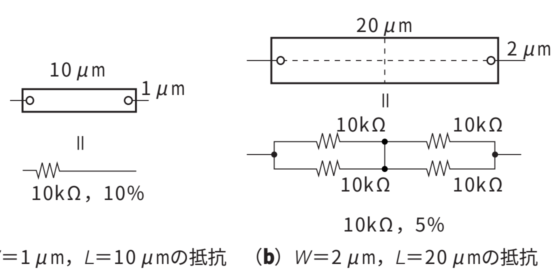


図1-1　抵抗の面積と抵抗値のばらつき
(a)のように「幅がW＝1 μm，長さがL＝10 μm」のポリ抵抗を作ると，ばらつきが10%だった．同じ抵抗を(b)に示すように「幅がW＝2 μm，長さがL＝20 μm」のポリ抵抗で作ると，4倍の面積が必要になるものの，ばらつきは1/2の5%になった．

● 改善方法1：素子の面積を大きく

多くの場合，ばらつきに対してガウス分布を仮定できるので，素子の物理的な面積を大きくすることでばらつきを小さくできます．例えば，シート抵抗が1kΩ/□のポリ抵抗を使って，10 kΩの抵抗を作りたいときを考えます．**図1-1(a)**のように「幅がW＝1μm，長さがL＝10μm」のポリ抵抗を作ると，ばらつきが10%であったとします．同じ抵抗を**図1-1(b)**に示すように「幅がW＝2μm，長さがL＝20 μm」のポリ抵抗で作ると，4倍の面積が必要になりますが，ばらつきは1/2の5%になります．ガウス分布では面積をα倍するとばらつきは$1/\sqrt{\alpha}$になるので，仮にばらつきを1/10にしたい(これはよくある)のであれば，100倍もの面積が必要になります．しかし面積を増やしてしまうとICの値段が上がってしまうので(ICの値段は1枚のウェハから取れる個数に反比例する)，なるべく面積は増やしたくありません．

● 改善方法2：ばらつきを抑えるような定数設計を行う

通常は，ここに示す方法を使います．アナログIC設計で頻繁に使われる回路に，電流をコピーする**図1-2(a)**のカレント・ミラー回路があります．ここでM_1とM_2のサイズが同じだとして，入力に例えば100 μAを流したとき，M_1のゲート-ソース間電圧V_{GS}は1Vになるとします．M_1とM_2のゲートは直接接続されているので，M_1のV_{GS}はM_2のV_{GS}と同じ1Vになって，M_2は100 μAを引き込みます．カレ

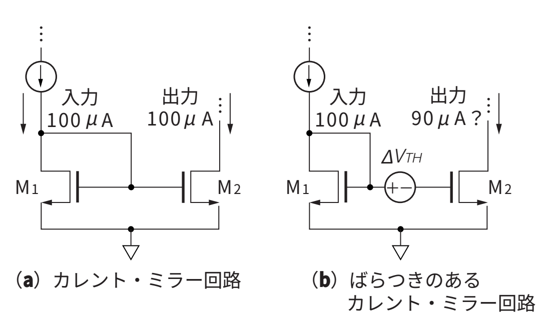
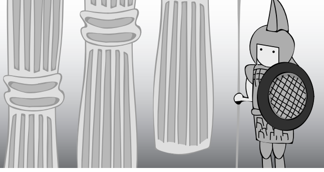
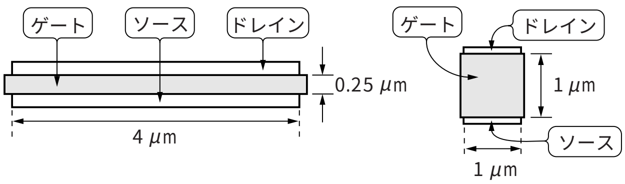


図1-2　カレント・ミラー回路におけるばらつき
単純にばらつきΔV_{TH}を1/10に抑えようとすると，100倍の面積のMOSFETを作らなければならない．

2





(a) W＝4μm，L=0.25 μm のMOSFET（W/L=16）

(b) W＝1μm，L=1μm のMOSFET（W/L=1）

図1-3　面積は等しいためΔV_{TH}は同程度のMOSFET

MOSFETのI_D-V_{GS}特性は，W/L比によって図1-4に示すように変化する．

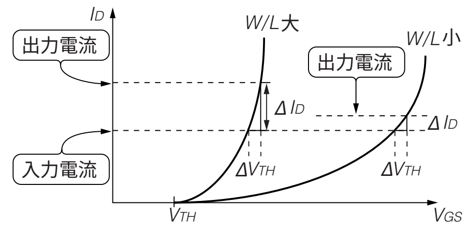
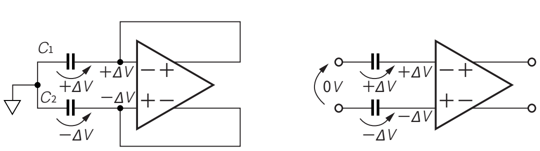


図1-4　W/L比の電流コピー精度への影響

W/L比の小さいトランジスタを使ったカレント・ミラー回路の方が，ΔV_{TH}に対する電流の変化ΔI_Dが少なく，より正確な電流のコピーが可能になる．

ント・ミラーは電流をコピーする回路なので，なるべく正確に電流をコピーしたいわけですが，ここでもばらつきの影響が出てきます．MOSFETの代表的なばらつきはスレッショルド電圧V_{TH}のばらつきであるΔV_{TH}です（**図1-2（b）**）．これにより電流のコピー精度が悪化します．このΔV_{TH}も抵抗などと同じくMOSFETのアクティブ・エリアの面積$L \times W$の平方根に反比例して小さくなります．従って，単純にばらつきΔV_{TH}を1/10に抑えようとすると，抵抗の場合と同じく100倍の面積のMOSFETを作らなければならないのですが，MOSFETの性質を利用することで，もっと賢くばらつきを抑えることができます．

図1-3（a）,**（b）**は，同じ面積のアクティブ・エリアをもつトランジスタです．**（a）**は「$W = 4\,\mu m$，$L = 0.25\,\mu m$」，**（b）**は「$W = 1\,\mu m$，$L = 1\,\mu m$」なので，スレッショルド電圧のばらつきΔV_{TH}も同程度になります．しかし，MOSFETのI_D-V_{GS}特性は，W/L比によって**図1-4**に示すように変化します．従って**図1-3（b）**のようにW/L比の小さいトランジスタを使ったカレント・ミラー回路の方が，ΔV_{TH}に対する電流の変化ΔI_Dが少なく，より正確な電流のコピーが可能になります．このような理由でMOSFETを使ったカレント・ミラー回路では，W/L比を小さくするのが鉄則になっています．



(a) ϕ_1相：オフセットをチャージする

(b) ϕ_2相：オフセットのないコンパレータとして動作する

図1-5　コンパレータのオフセットを打ち消すオートゼロ・テクニック

実際の回路ではϕ_1相とϕ_2相を高速に繰り返すことで，ブロック全体としてオフセット電圧のないコンパレータを構成する．

● 改善方法3：ばらつきを抑え込む特別な回路を使う

改善方法1と2は，通常の回路設計で行うことです．小さいデバイスを使いたいが，どうしてもばらつきも抑えたいという場合，回路で工夫してばらつきを抑え込みます．そのような回路で代表的なものはオート・ゼロとキャリブレーションです．

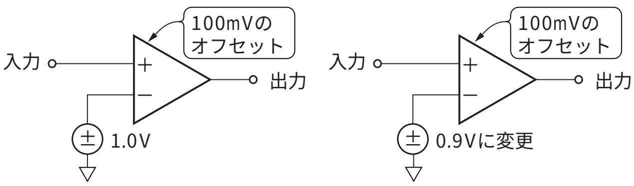
●オート・ゼロ

オート・ゼロはスイッチト・キャパシタ回路でよく用いられるテクニックで，ばらつきの影響として現れるオフセット電圧を入力端子や出力端子に対して直列に接続したキャパシタにチャージして打ち消すものです．

コンパレータのオフセット電圧を，入力でキャンセルする例を**図1-5**に示します．まず，ϕ_1相では，**図1-5（a）**のように出力から入力に負帰還をかけます．すると，入力端子にばらつきによるオフセット電圧が現れます．ここで，入力端子に直列に接続されているキャパシタは左側の端子がグラウンドに接続されているので，キャパシタにはオフセット電圧がチャージされます．次にϕ_2相では，**図1-5（b）**のように接続をMOSFETを使ったスイッチによってつなぎ換えます．このときのキャパシタにチャージされた電荷が逃げないように，うまくつなぎ換えると，コンパレータ単体のオフセット電圧が直接接続されたキャパシタに打ち消されて，**図1-5（b）**の回路全体ではオフセット電圧のないコンパレータとなります．実際の回路ではϕ_1相とϕ_2相を高速に繰り返すことで，ブロック全体としてオフセット電圧のないコンパレータを構成します．

●キャリブレーション

最後に紹介するキャリブレーションは，簡単なロジックや，ときにはCPUを使って，D-Aコンバータなどをコントロールし，ばらつきを校正する方法です．ここでは数百MHz～数GHzのクロックで動く非常に高速なコンパレー



（a）1.1Vを境に電圧を判定　（b）1.0Vを境に電圧を判定

図1-6　キャリブレーションによるばらつき（オフセット電圧）の低減
オフセット電圧が100mVであることを何とか調べて，（b）のように基準電圧を0.9Vに校正する．

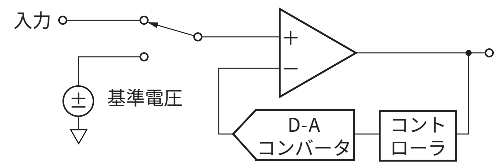


図1-7　キャリブレーション回路の例
D-Aコンバータが許す限り大きなオフセット電圧も打ち消す．

タを例に考えます．回路を高い周波数で動作させるためには，小さいトランジスタを使って，トランジスタにたくさん電流を流す（トランジスタの幅当たりの電流密度を大きくする）必要があります．しかし，小さなトランジスタを使うと，またもやばらつきの問題が出てきます．ばらつきを克服するためには，先ほどのオート・ゼロを使いたいところですが，オート・ゼロのようなスイッチト・キャパシタ回路はクロック周波数が数百MHz～数GHzと高くなってくると，きちんと動作させるのが難しくなってきます．そこでキャリブレーションが行われるようになってきました．

1）コンパレータでのばらつきは入力オフセット電圧として現れる

コンパレータでは，ばらつきは入力オフセット電圧として現れます．そこで，入力オフセット電圧をなんらかの方法であらかじめ調べておいて，オフセット電圧を引いた値に基準電圧を変更しておけば，全体としてオフセット電圧のないコンパレータ回路を実現できます．これがキャリブレーションによるオフセット電圧（ばらつき）の低減です．

例えば**図1-6（a）**のように，ばらつきによりコンパレータが100mVの入力オフセット電圧を持っているとします．そのようなコンパレータに基準電圧として1.0Vを与えると，本当は1.0Vを境に電圧が高いか低いかを判定したいはずが，1.1Vを基準に判定が行われてしまいます．そこで，オフセット電圧が100mVであることを何とか調べて，**図1-6（b）**のように基準電圧を0.9Vに校正（キャリブレーション）すると，コンパレータは1.0Vを基準に入力電圧が高いか低いかを判定するようになり，全体としてオフセット電圧のないコンパレータになります．

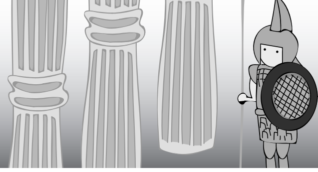
2）スイッチ，D-Aコンバータ，ロジック回路でキャリブレーションを実施

このような回路を実現するにあたって，オフセット電圧を調べることが難しそうにみえますが，コンパレータの出力がロジック信号であることを利用すると，実はそれほど難しくはありません．例として**図1-7**の回路を示します．この回路では**図1-6**の回路に対してキャリブレーション用に入力を切り替えるスイッチ，D-Aコンバータ，ロジックのコントローラが追加されています．キャリブレーションを行うためには入力を基準電圧側に切り替えます．そしてコンパレータの出力が“L”ならばD-Aコンバータの電圧をゆっくりと上げてゆき，コンパレータの出力が“H”になったところでD-Aコンバータの出力電圧をホールドします（D-Aコンバータの入力コードを固定する）．するとD-Aコンバータの出力には，基準電圧からオフセット電圧を引いた電圧がちょうど出力されているので，スイッチを入力側に切り替えるとオフセット電圧のないコンパレータが出来上がります．

この方法の良いところはクロックに同期して動作するスイッチがないので，高速動作が期待できるところです．また，D-Aコンバータが許す限り大きなオフセット電圧も打ち消すことができるので，非常に小さい（ばらつきの大きな）トランジスタを使うことができることです．小さなトランジスタを使うと少ない電流でも電流密度を上げることができるので，結果として高速で，低消費電力なコンパレータになります．ただし，いつキャリブレーション動作を行うのかというのは難しい点です．電源投入時にキャリブレーションを行うことにすると，オフセット電圧の温度変化などを打ち消すことはできません．そこで，通常のコンパレータの変換動作の合間に，うまくキャリブレーションを割り込ませるなど，いろいろな方法が提案されています．

このようにキャリブレーションは少々おおげさになってしまう傾向がありますが，集積度が上がるに従って盛んになっていくと考えています．

しばた・はじめ
アナログ・デバイセズ（株）



事例2 EPROMの2重化，EPROMの比較結果の誤り訂正符号化

細田隆之

厳密な話はシステム工学の教科書に任せるとして，冗長設計の本質は，ほかと比べて故障率の高い部分を多重化することにより，故障する確率を下げ，同時に信頼性を向上させることにあります．利便性なども含んだ冗長化の費用が，故障によって発生する費用よりも少なければ，冗長系を採用する価値があります．

ここでは，機械的振動が多く，広い温度範囲において使われる，あるシステムの障害検出回路で使用されているEPROM部分を冗長化し，信頼性を向上させた例を紹介します．このEPROMはセンシング用波形と，制御信号を発生させるためのもので，この回路の中で重要なものです．装置ごとにROMの内容が異なる場合があるため，残念ながらマスクROMにすることができません．

● EPROM周りの問題点

このシステムにはEPROM関係の問題として，下記のようなものがありました．

問題1） 時間とともに，EPROM素子内部でデータを記憶している電荷が失われるために，データ誤りの確率が上昇していく．特に高温下では加速される．

問題2） ICソケットを用いた場合には，外部からの機械的振動や接点の酸化などによる接触不良を起こす場合がある．

問題3） EPROMの素子の重さと機械的振動，熱サイクルによって部品のリードのはんだはがれやプリント・パターンの断線が起こる場合がある．

問題4） 人為的な理由により，違う内容のROMが実装される場合がある．

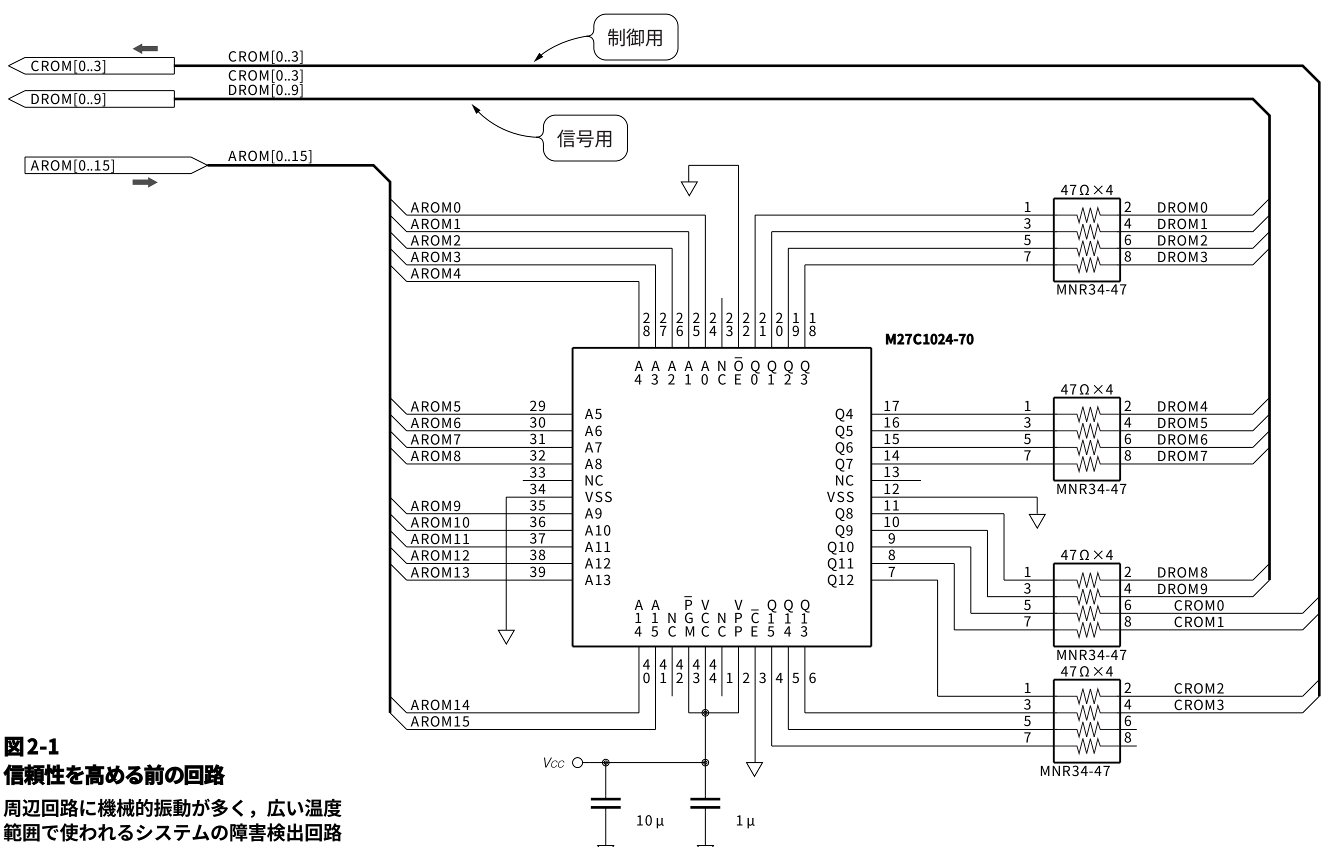


図2-1
信頼性を高める前の回路
周辺回路に機械的振動が多く，広い温度範囲で使われるシステムの障害検出回路にEPROMが搭載されている．

● 信頼性を上げるには

高信頼性を実現するにはいくつかの方法があります．まずやるべきことは，「ある部分の故障率が高いのなら，その部分をなくせないか考える」ことです．上記の**問題2)**は，交換の利便性をあきらめて，ICソケットを使用しないことで対処しました．信頼性と利便性は多くの場合，トレードオフの関係にあります．

次にやるべきことは，「故障率を上げている要因を低減する」ことです．**問題1)**においては，エア・フローや輻射（ふくしゃ）放熱などを見直すことにより，周囲温度を約10℃下げることができたので，故障率が約半分になることが期待できます．同じように**問題3)**では，部品を小型軽量な同等品に変更することも考えられます．今回は元の部品が応力を吸収しやすいJリード型のものであったので，このパッケージと基板間を接着材で接着し，機械的に補助することにより対処しました．

その次に，「冗長化により同時に故障する確率を下げてシステムの信頼性を上げる」ことを考えます．冗長化設計の身近な例としては，ハード・ディスクのRAID（redundant arrays of inexpensive disks）技術もこれにあたります．冗長化設計をする費用が故障の費用に対して十分小さくなったために，パーソナル・コンピュータなどの一般用の製品設計にもずいぶん普及しています．

● 冗長設計の具体例

元の回路（**図2-1**）は，ROMの16ビット幅のデータのうち10ビットを信号用に，4ビットを制御用に使っています．誤りに対する配慮は特にありませんでした．今回は「経時的に故障率の上昇するEPROM」を2重化し，信頼性の向上を図りました．また，ROMデータの誤り状況を，システム監視装置に対して送出するようにしました．元の回路のROMを2重化したものが**図2-2**です．EPROMの2重化に

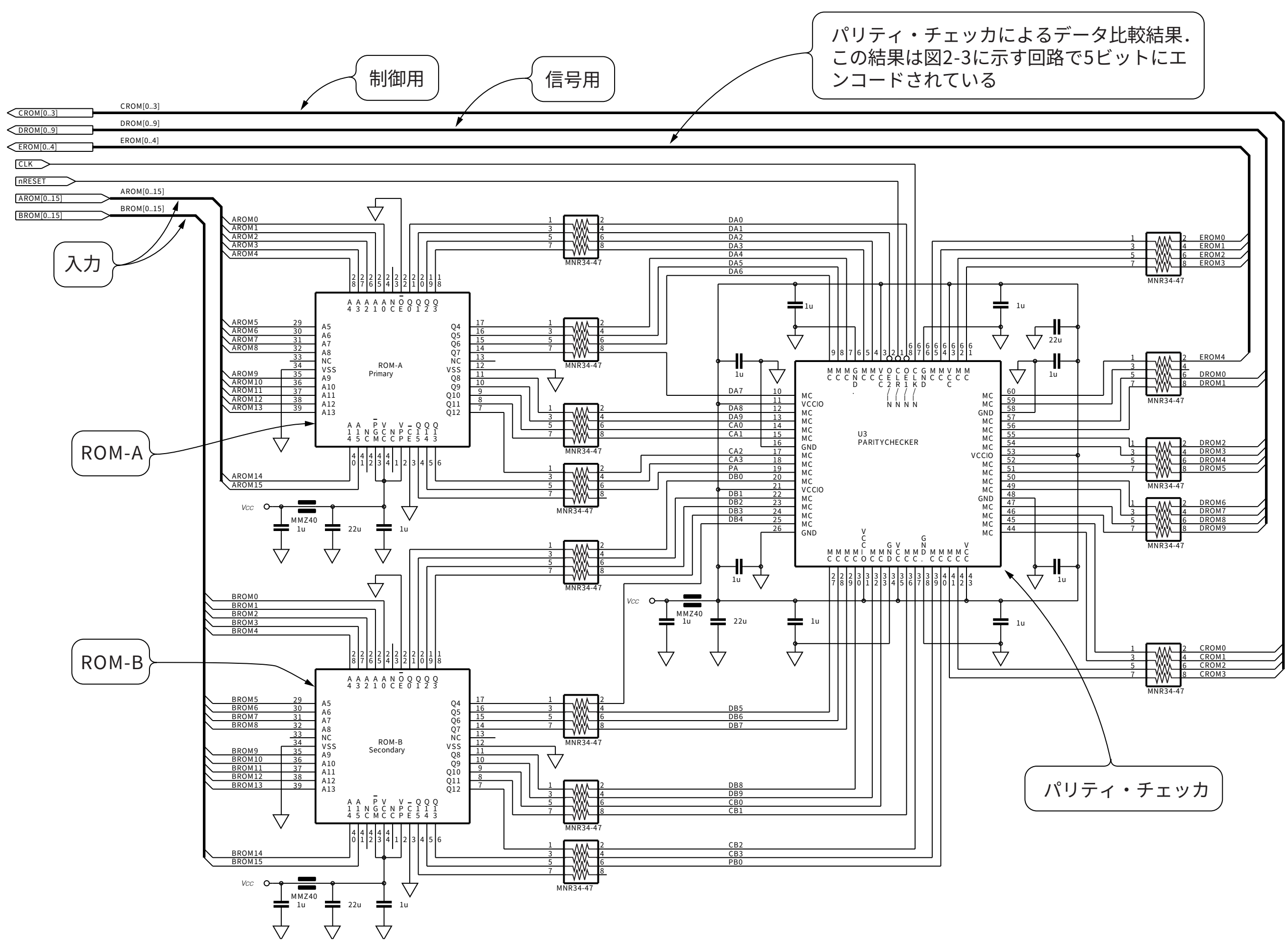
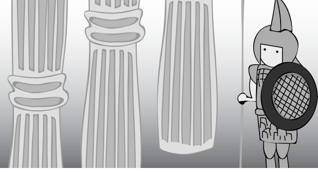


図2-2　信頼性を高めた回路

EPROMの2重化，パリティ・チェックなどの対策が盛り込まれた．

2



リスト2-1
図2-2中のパリティ・チェッカの論理式

```
// PA, PB は偶数パリティ.

// ROM 同士のデータ比較. 1:誤りあり
C =     (PA  $ PB ) # (CA0 $ CB0) # (CA1 $ CB1) # (CA2 $ CB2) # (CA3 $ CB3)
      # (DA0 $ DB0) # (DA1 $ DB1) # (DA2 $ DB2) # (DA3 $ DB3) # (DA4 $ DB4)
      # (DA5 $ DB5) # (DA6 $ DB6) # (DA7 $ DB7) # (DA8 $ DB8) # (DA9 $ DB9);

// ROM-A のパリティ・チェック. 1:誤りあり
A =     (CA0 $ CA1 $ CA2 $ CA3)
      $ (DA0 $ DA1 $ DA2 $ DA3)
      $ (DA4 $ DA5 $ DA6 $ DA7)
      $ (DA8 $ DA9 $ PA );

// ROM-B のパリティ・チェック. 1:誤りあり
B =     (CB0 $ CB1 $ CB2 $ CB3)
      $ (DB0 $ DB1 $ DB2 $ DB3)
      $ (DB4 $ DB5 $ DB6 $ DB7)
      $ (DB8 $ DB9 $ PB );

// ROM-A のパリティ・エラーなら、ROM-B 側のデータを出力.
DROM[9..0] =    (DA[9..0] & !A)
              # (DB[9..0] &  A);

CROM[3..0] =    (CA[3..0] & !A)
              # (CB[3..0] &  A);

//パリティ・エラーがなくてもデータ比較エラーならば {P0, P1} = {1, 1} にする.
P0 = A # (!A & !B & C);
P1 = B # (!A & !B & C);

//データ比較結果の 2ビットを誤り訂正符号にして出力.
EROM0 = !P0;
EROM1 =  P0 $ P1;
EROM2 = !P1;
EROM3 =  P0;
EROM4 =  P1;
```

は，次のような方法を用いました．

1）パリティ追加

余っていた2ビットのうち，1ビットを偶数パリティとします．偶数パリティは，入力ビットの‘1’の数が偶数個ならばパリティ・ビットを‘0’に，1’の数が奇数個ならば‘1’にセットされます．偶数パリティにしてあるのは，未プログラムのROMは通常，全ビットが‘1’に初期化されているため，これをパリティ・エラーとして検出できるようにするためです．

2）アドレス入力の2系統化

ROMには同じ値のアドレスを与えますが，ここではAROM[0..15]とBROM[0..15]のように，別系統の信号として与えています．これは片方のROMの入力が，万が一，短絡モードで故障したような場合でも，別系統へ影響が及ばないようにするためです．

3）ROMのデータ・チェック

それぞれのROMからのデータをチェックするために，専用の論理IC（**図2-2**の中のパリティ・チェッカ）を追加しました．このICの機能は，それぞれのROMからのデータの比較と，おのおののパリティ・チェックを行い，片方のデータに誤りがあれば，もう片方のデータを出力し，誤り情報を1ビットの誤り訂正符号として出力します．パリティ・チェッカの論理式を**リスト2-1**に示します．

4）パリティ・チェック

ROMの出力に奇数個のビット誤りが生じた場合には．パリティ・エラーが検出されます．ROM-Aの出力にパリティ・エラーが検出された場合には，ROM-B側のデータを選択し，パリティ・チェッカから出力します．

5）データ比較

おのおののROMのパリティがエラーでなくても，ROM同士の出力が異なる場合には，回復不能な誤りが発生していると考えられるので，システム監視装置に対して以下のように報告するようにしました．

00：誤りなし
01：回復可能な誤り（ROM-A 誤り）
10：回復可能な誤り（ROM-B 誤り）
11：回復不能な誤り

6）誤り状況出力の誤り訂正符号化

誤り状況の報告そのものに誤りが生じた場合，重大な問題が発生する可能性があります．そこで，上記の4状態を，ハミング（7，4）符号を短縮・修正した（5，2）1ビットの誤

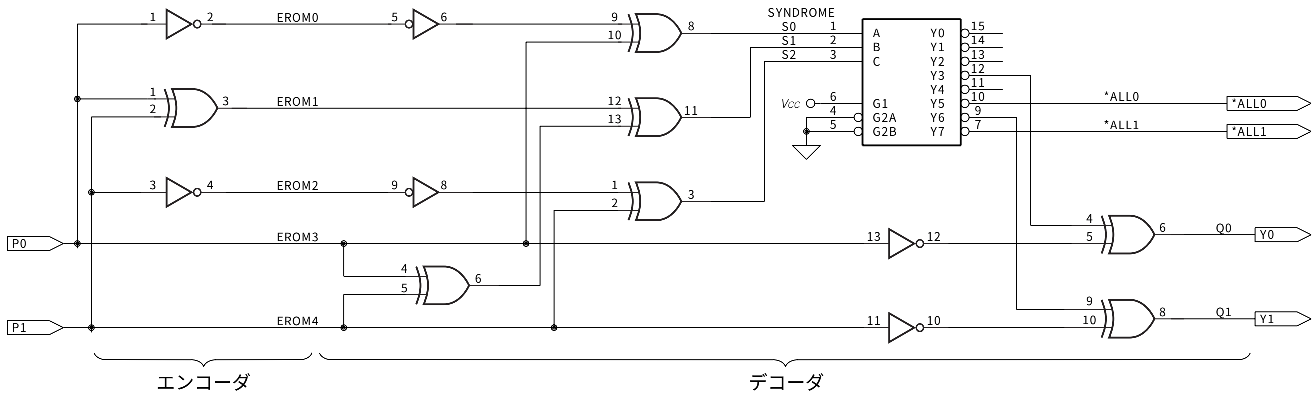


図2-3　誤り訂正状況のエンコード，デコード回路
1ビット誤りの訂正に加えて，全ビット‘0’または全ビット‘1’の検出ができる．

り訂正符号にエンコードし（**リスト2-1**），パリティ・チェッカからシステム監視装置に対して送出しています．誤り訂正状況そのものの符号化も，符号の冗長化による高信頼化という点で，冗長設計の一種と言えます．

この符号は1ビット誤りの訂正に加えて，全ビット‘0’または全ビット‘1’の検出が行えるため，電源断やケーブル抜けなども障害として検出できます．誤り訂正状況のエンコード，デコード回路の模式図を**図2-3**に示します．

7）システム監視

システム監視側で，パリティ・チェッカからの誤り状況の報告が，「誤りなし」以外の場合，例えば回復可能な誤りが設定回数以上発生した際に保守要求を発生させたり，回復不能な誤りの場合に緊急停止を行ったりなどの対処が可能となりました．

● 電気回路における工夫

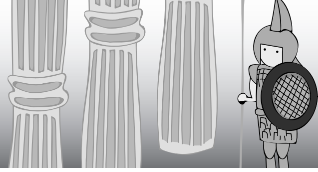
各デバイスの過渡電流やノイズが，ほかに影響を及ぼしてデータ・エラー・レートが悪化するのを防ぐために，各出力にはシリーズにダンピング抵抗（47Ω）を入れてあります．また，通常のロジック回路では電源は共通に接続されますが，今回は個別に電源をフィルタリングして，電源電流の変化によるほかの回路への影響や雑音を低減しています．

● 結果

EPROM周りを2重化したことにより，データ・エラー・レートが改善したばかりでなく，誤り状況のモニタができるようになり，信頼性が向上しました．また，データ比較により，内容の違うROMや未プログラミングのROMの誤実装も回復不能な誤りとして検出できるため，保守時のROM誤実装のような人為的なミスにも対処できるようになりました．

ほそだ・たかゆき
（有）ファインチューン

細田隆之．ファインチューン取締役社長．第一級陸上無線技術士．NTTアドバンステクノロジを退社後，独立し，ファインチューンを設立．お蔭様で今年で10周年．主として移動通信および通信方式やセンシング関連の研究開発・設計試作に携わっている．高性能アナログ回路が専門．



事例3

PLLにより無線制御機器の妨害排除能力を強化する

漆谷 正義

ラジコンや無線制御のロボットは，電波が途切れたときに速度が急上昇したり，暴走したりする可能性があります．従って，コントローラからの指令を受信できなくなった場合，フェイルセーフ動作に入るように設計するのが普通です．しかし，安全にかかわる機器の場合，これでは不十分です．非常に似た信号が入ってきた場合，これを正規の信号と間違う場合があります．この場合は上記のフェイルセーフ動作に入らないばかりか，異常動作をしてしまいます．

正規の信号かどうかは，ディジタル信号の場合はアドレスやヘッダで区別できます．アナログ信号の場合はフィルタで妨害信号を排除する方法がよく使われます．

PLL（phase-locked loop）は，究極の狭帯域フィルタでもありますが，入力周波数と位相に追随するのが特徴です．この性質を利用して真の信号かどうかを確実に判別する事例を紹介します．

● 装置の概要

図3-1は，導電率が変化するタイプの圧力センサa，b，c，dの出力で，車いすのモータを制御する回路です．センサ回路は無線方式のリモコンです．変調信号は，**図3-2**のようなAM信号です．aの電圧レベルが前進速度，bが後退速度，cが右回転速度，dが左回転速度となります．sは基準信号（0レベル）および同期信号の役割を果たします．受信回路で復調した波形は変調波形と同じはずですが，必ずノイズが混入します．同期分離回路で同期信号だけを取り出し，これを基準にして，a，b，c，d，sの電圧レベルを標本化し，マイコン内部でA-D変換します．（$V_a - V_s$），（$V_b - V_s$）が速度に比例した量になります．この値でPWM波形のデューティ比を変えて，車いすの両側にある直流モータを制御します．

● 最初に考える簡単な方法

さて，以上の情報をもとに，マイコンのソフトウェアを組むとしたら，あなたはどのように処理しますか．筆者の経験では，次のようにする人が多いようです．**図3-3**のように，

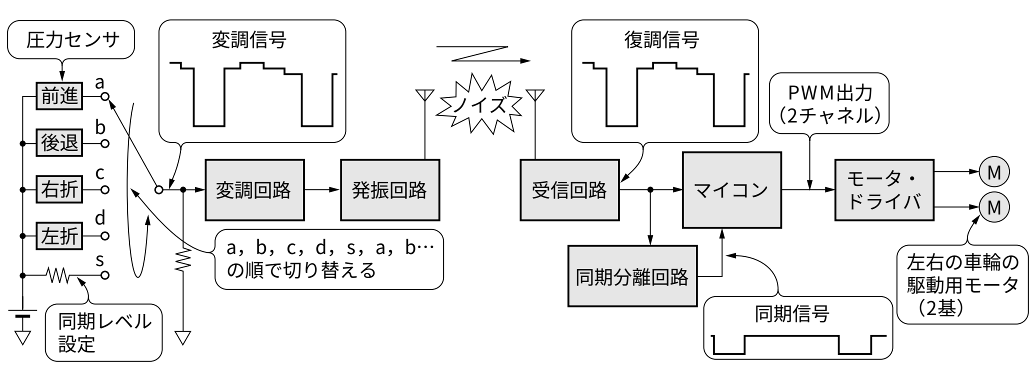


図3-1
車いすのモータを制御する回路構成
導電率が変化するタイプの圧力センサa，b，c，dの出力を利用する．

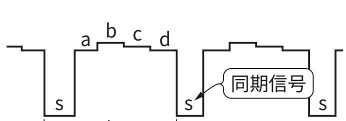


図3-2
車いすを無線制御するAM信号
aの電圧レベルが前進速度，bが後退，cが右回転速度，dが左回転速度となります．sは基準信号の役割を果たす．

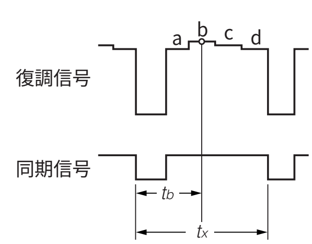


図3-3
無線制御の簡単な方法
同期信号の周期t_xを求め，t_xを5分割する．例えばbの場合は，これを2.5倍してt_bとする．同期信号が入らなければフェイルセーフ動作を行う．

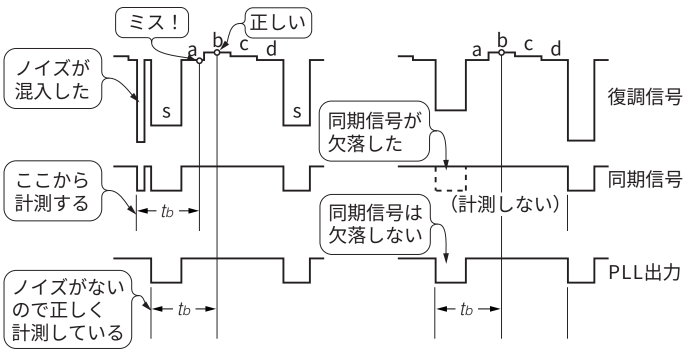


図3-4 PLLの効果
ノイズの混入と同期信号の欠落はPLLで排除する.

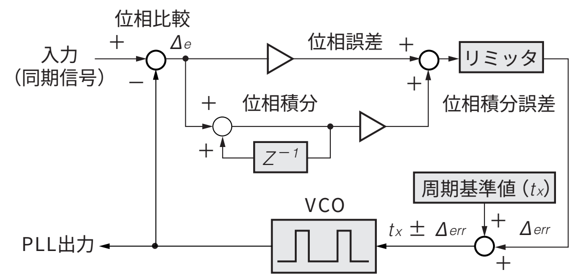


図3-5 ソフトウェアPLLの構成
回路的には図3-1のままで，マイコンのソフトウェアを追加するだけで実現できる.

1) 同期信号の周期t_xを求める
2) 周期t_xを5分割する
3) 例えばbの場合は，これを2.5倍してt_bとする
4) 同期信号が入らなければフェイルセーフ動作を行う

といった方法を採るでしょう.

● シンプルなことは良いことなのか

図3-3の方法は，間違っているわけではありません．これで動作します．しかし，信頼性の点では配慮が不足しています．まず，入って来た同期信号を疑わずに，そのまま使っていることです．また，同期信号にノイズが混入したり，同期信号が欠落したりしたときの対策がありません．つまり，この部分には冗長設計が必要なのです．「シンプル・イズ・ベスト」は，必要なものまで削除せよという意味ではありません.

● 正しい信号かどうかの判別はPLLで

この形式の回路には，ほぼ定石と言える，信頼性向上の手段があります．PLL回路です.

ノイズの混入と同期信号の欠落はPLLで排除するのです．これはビデオ回路などで確立している方法です．同期信号をPLLに通せば，**図3-4**のようになり，間違った計測をしてしまうことはありません.

● ソフトウェアでPLLを構成する

PLLはハードウェアで作る方法もありますが，モータの制御のように数kHzの帯域で制御できる場合は，ソフトウェアで行うのが普通です．**図3-5**にソフトウェアPLLの構成を示します．回路的には**図3-1**のままで，マイコンのソフトウェアを追加するだけで実現できます.

Z^{-1}というのは，周期t_xだけ遅延するメモリです．PLLは一般に位相比較器，ローパス・フィルタ，VCO (voltage controlled oscillator)から構成されますが，すべてソフトウェアで実現しています(PLLについては，ほかの専門書を参考にしてください)．位相積分の部分はローパス・フィルタに相当します．周期基準値t_xより$t_x/2$相当の周波数以上ずれた信号はPLLがロックしないので，正規の信号ではないと判断できます.

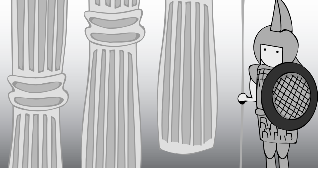
● PLLで信頼性が向上する理由

PLLで同期信号のAMノイズが除去できる理由は，**図3-5**において，位相比較器がAM成分を通さないからです．また，時間方向の変動(ジッタ)は，位相積分の部分で除去されます．また，PLL出力を使えば同期信号の抜け(短時間の消失)も補償できます．これは**図3-5**において，PLL出力がVCOという独立した発振器で作られているため，少々の同期信号の欠落には応答しないからです(フライ・ホイール効果と言います).

＊　＊　＊

PLLはなくても動作する，いわゆる冗長設計にあたる部分ですが，機器の安全には欠かせないものです.

うるしだに・まさよし



事例4

使わない端子や機能も定義しておく

沖田十三

最近，工業製品を設計するにあたって，運用上の問題を多く耳にします．運用問題は技術者の直接的な責任ではありませんが，致命的な問題につながる不正な使用法を未然に防ぐ設計がなされていれば…と思うと，技術者への非難は免れません．もちろん，設計要因による事故などは，仕様や実装の仕方において，おのおのの設計者の責任が問われます．

安心かつ安全な製品設計を行う際の大原則は，「きちんとした手順を踏んで，丁寧に作業すること」に尽きます．どんなに素晴らしい設計思想も開発ツールも，でたらめな手順や雑な作業の前では，全く意味をなしません．競争の激しい商品開発の現場において，ついつい時間がないからとはしょってしまったり，動いているからとりあえずいいやと，そのまま忘れてしまったり，といったことはありがちです．普段の開発からそういった悪い習慣は意識して排除していく必要があります．

仕事としての組み込み機器設計・開発は，学生の研究や実験，ロボコンの「徹夜で作りました！とにかく動くようにしました！」的なやり方では全く話になりません．ものづくりを経験して即戦力となりそうな学生（＋若手エンジニア）には特に気を付けていただきたい初歩的なことを，ここで紹介します．

● ペリフェラルに関するレジスタの初期設定をする

最近の組み込み用マイコンには，さまざまなペリフェラル・インターフェース機能が内蔵されています．ファームウェアを開発するにあたって，最初に行う実装作業の一つが，これらのペリフェラルに関するレジスタの初期設定です．

このレジスタ設定処理，どのようにしていますか．リセット時に初期設定された状態で問題がなかったので，変更が必要な部分だけちゃちゃっと書いておしまい…．確かに仕様上はそれでも全く問題ありません（リセット後の初期状態を確認しないまま放置は論外です）．しかし，ここの作業では，手間はかかりますがすべてのレジスタ設定を明示的に行い，かつ各設定に関してコメントをソース・コード上に丁寧に記録して残しましょう（**リスト4-1**）．なぜなら，

- 分かったつもりや勘違いをチェックするのに役立つ．
- WS（ワーキング・サンプル）やES（エンジニアリング・サンプル）など，暫定仕様チップによる開発の場合，仕様変更があった際に見落としをチェックできる．
- 開発を他人に引き継ぐ場合，仕様書作成のリソースまたは代用になる．
- 開発終了後，数カ月，数年を経て，再度自身で開発（不良対応？）を行う場合に非常に助けになる．
- トラブル・シューティング時など，あいているポートを使って緊急にデバッグ用の実装などを行うことがあり，速やかな作業の助けになる．

などなど，初期投資となる作業時間に見合ったメリットが必ず得られるからです．

● 使用しないI/Oポートの設定を行う

使用しないI/Oポート（最近はGPIO；general purpose I/Oと呼ばれることが多くなった）はどう処理していますか．何もしない…というのは論外です．ハイ・インピーダンス（Hi-Z）設定にできる場合は，そうするのが無難な選択です．それ以外には，以下の三つのうち，どれが良い設定でしょうか？

1) 入力ポートに設定し，定数の大きな抵抗を介してグラウンドまたは電源に接続

2) 出力ポートに設定し，“H”を出力

3) 出力ポートに設定し，“L”を出力

どれもまちがいではありませんが，万が一の事態を想定します．長時間連続稼働する機器では特に，宇宙線や静電気などによってレジスタ設定が破壊されることを想定する必要があります．この場合，理想の設定は**1)**です．設定したレジスタの内容が破壊されて出力ポートになってしまった場合も，**1)**であればLSIを破壊することはなく，最悪でも消費電流が若干増えるだけで済みます．さらに，**1)**の設計になっていると，回路変更や緊急デバッグなどのリワーク

リスト4-1
各設定に関してコメントをソース・コード上に丁寧に記録しよう

PlayStation2のコントローラ信号をシリアル変換してパソコンやマイコンに送信するソフトウェアから抜粋．本文と直接関係はない．

```
// System Control
      SYSCR1 = 0x00;      // 低消費電力関連設定なし
      SYSCR2 = 0x00;      // ↑
      MSTCR1 = 0x5e;      // SCI, TimerA Active

      // Port1
      // PS Controller接続
      //  P10:CON1-3  OUT:Clock
      //  P11:CON1-2  OUT:Select
      //  P12:CON1-1  OUT:Command
      //  P13:---     ---:存在しません
      //  P14:CON1-8   IN:Data
      //  P15:CON1-9   IN:Acknoledge
      //  P16:CON1-10 OUT:Reserved
      //  P17:CON1-11 OUT:Reserved
      PMR1 = 0x02;        // Port1 IOPort (BIT1がTxDの設定なので注意が必要！)
      PCR1 = 0xC7;        // P10-12,16,17 Output, P14,15 Input
      PDR1 = 0xff;        // 出力ポートまとめてとりあえずHigh設定

      // Port8
      //  P80:---         OUT:Reserved
      //  P81:LED1        OUT: 0=LED_On / 1=LED_Off
      //  P82:LED2        OUT: 0=LED_On / 1=LED_Off
      //  P83:LED3        OUT: 0=LED_On / 1=LED_Off
      //  P84:---         OUT:Reserved
      //  P85:---         OUT:Reserved
      //  P86:---         OUT:Reserved
      //  P87:---         OUT:Reserved
      PCR8 = 0xff;        // P80-7 Output
      PDR8 = 0x00;        // LED1-3 ON
```

最初のうちは細かく丁寧に書くけれど…

そのうちだんだん雑になってくる．コピー＆ペーストし始めると，そのうち間違ってうそを書き残すことになるので要注意！

作業が非常にやりやすくなるなど，副次的なメリットもあります．しかし，実装部品と実装面積が増大するため，コスト要求やサイズ要求の厳しい機器では必ずしも**1)**がベストではありません．

コストへの対応が優先する場合，抵抗を省いて入力ポート設定にして，グラウンドまたは電源に直結という設定は絶対にやってはいけません．レジスタ内容が破壊されて，仮にI/O端子が出力設定に置き換えられた場合，最悪，短絡状態になり，回路破壊につながる可能性があります．従って，**2)**または**3)**を選択することになります．

2)と**3)**どちらにするのが良いのか，判断が難しいところですが，基板上に露出する通電部位のうち，最も面積が大きくなる可能性があるのは，多くの場合グラウンドです．万が一，内部に金属部品が入って接触した場合，少しでも短絡を未然に防ぐことを期待して，“L”を出力する**3)**を選択します．そのときチップ周辺回路においては，なるべくマイコン側には各部品のグラウンド端子側が向くように配慮します．実際はI/Oブロックの内部回路，オープン・ドレイン(オープン・コレクタ)，入力保護ダイオードのあり/なし，入力専用ポートなど，状況によっても選択は異なってきます．

● 使っていない割り込みベクタの設定をする

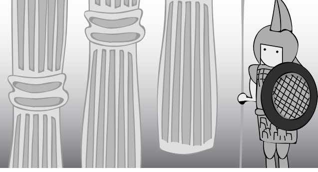
さまざまなペリフェラルに連動して，組み込み用マイコンには多種多様な割り込み機能を内蔵したものがあります．実際の製品では，これらすべての割り込み機能を使うことはほとんどなく，その一部だけを使うことになります．

この使われない割り込み処理をどのようにしていますか．機器開発の過程で，仕様変更や実装担当者の変更，複数の人間による回路やソフトウェアの改変作業などによって，例えば，原因不明のリセットがときどき発生するなどして，開発が中断することがあります．この原因の一つに，想定していない割り込みが実は発生していた，ということは少なからずあります．コンパイラによっては未設定の割り込みをリセット処理してくれることもありますが，未使用の割り込み処理についても明示的に処理を書くことが望ましいです．また，静的に確保されたメモリ空間上に割り込み履歴を残したり，アラートを出したりすれば，意図しないトラブルに対して解析を円滑に進められます．

＊　＊　＊

ここで紹介した3点は簡単な例ですが，どれも必ずしも必要ではないし，無駄に思えることです．ただし，これらはソフトウェア実装担当者の意識と，ちょっとした時間で簡単に行えることです．「万が一」という言葉がありますが，万に一つ不良が発生すると，100万台製品を作れば100台に不良が出ます．大切なことは「想定し得る事象に対しては，できることは面倒をいとわずに丁寧にやる」その気持ちです．

おきた・じゅうぞう



事例5

IPコアの規模増大やI/Oの複雑化への対応

小山英利

ここでは，筆者および筆者が担当したユーザによって用いられた回路構成およびシーケンスを紹介します．

● 冗長設計の現状

ゲート規模やプログラム領域はコストと密接な関係にあります．また，RTL（resister transfer level）のコード・カバレッジの向上を求められている以上，一般的な設計では安全のための冗長設計はなかなか受け入れられませんでした．ただし，最近になって冗長設計を行えるような状況が出てきました．その理由として下記が挙げられます．

1） 半導体製造工程の微細化の影響により，シミュレーションと実チップでの特性差が大きく，ES評価時は合格したにもかかわらず，量産時またはエンド・ユーザ環境によって誤動作や速度不足で問題となるケースが多くなった．

2） プログラム格納用ROMをフラッシュ・メモリにし，ファームウェアの変更で問題回避を行うのが第一選択肢ではあるが，それだけでは対応できないケースが増えてきた．

3） 使うIPコアの規模増大や複雑化により，バグの可能性が内在している．

4） アナログ・コアや特殊I/Oも，**3）**と同じ懸念がある．

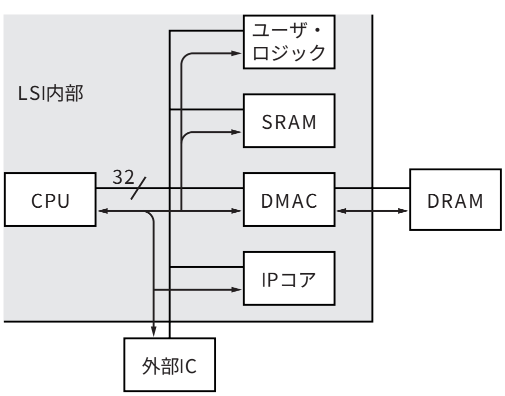


図5-1　起動時にシステム全体の動作を確認する

単なるメモリ・チェックだけではなく，IPコアやロジック，外部機器に対してもテストを行い，問題がないことを確認する．問題がなければ通常動作モードへ移行する．ユーザ環境下でのテストになるので，メーカ環境下でのテストより重要になることがある．

● 起動時に安全に動作することを検知

上記**1）**の問題は深刻で，動作マージンの確保不足や故障による誤動作によって接続先にダメージを与えてしまう可能性があります．さらに出荷時のテストでは問題なく動作し，製品出荷後に問題となるケースがあり，厄介です．

これを回避する方法としては，起動時にSRAM，外部メモリだけでなく，IPコアやユーザ論理など，一通りの動作チェックを行い，問題がなければ通常動作へ移行するという手法が挙げられます（**図5-1**）．

つまり，誤動作や問題を検知するのではなく，「安全に動作することを検知」するのです．

● 旧バージョンのIPコアも搭載しておく

3）を回避する方法としては，実績のある安定バージョンのIPコアを予備として搭載することです（**図5-2**）．

新バージョンのIPコアにバグがあった場合，旧IPコア

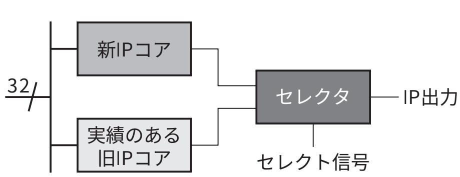


図5-2　旧バージョンIPコアの搭載

新IPコアと旧IPコアのレジスタ・マップは，新機能を除いて同じ場合が多い．そのためI/Oマップの入れ替えが容易であり，新機能を除いて古いIPコアで対応可能である．

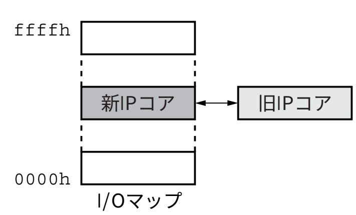


図5-3　I/Oマップの入れ替え

バグがあったとき，新IPコアのアドレスを旧IPコアのアドレスに変更する．

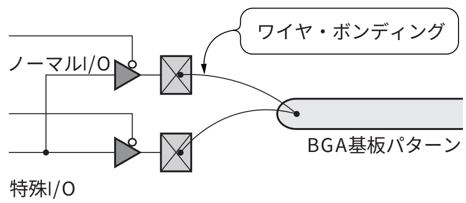


図5-4　I/Oのダブルボンディング
新規のI/Oを使用する際，実績のあるI/Oとダブル・ボンディングする．

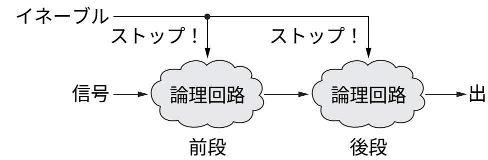


図5-5　後段回路で誤動作の伝搬を防ぐ

と新IPコアのレジスタ設定およびレジスタ・マップは，ほぼ同じであるため，旧バージョンのIPコアによって対応が可能です（**図5-3**）．新機能は使用できませんが，それ以外の機能は問題なく使用できます．

● 特殊I/OとノーマルI/Oを一つのピンに接続しておく

基本的には前項の「旧バージョンIPコアの搭載」と同じ手法を採ります．実績のあるI/OまたはノーマルI/Oを，特殊I/Oや新規I/Oに隣接させ，ダブル・ボンディングにより一つのピンへ接続させます（**図5-4**）．隣接させたノーマルI/Oは，通常ハイ・インピーダンス（Hi-Z）の状態で待機していますが，特殊I/Oなどに問題があればノーマルI/Oを使用します（問題のある特殊I/Oと新規I/OはHi-Zにする）．このとき，I/Oの使用条件や保証値などは変更となりますが，仕様で定義できれば回避可能だと思います（ただし，電源ラインを共通にできない場合もあるので，半導体製造メーカとの相談が必要）．

アナログ・コアも同様ですが，ダブル・ボンディングなどは難しいので，ピン数の増加と基板での対応が必要となります．

● 前段の誤動作を後段に伝えない

ステート・マシンにおいて，意図しない動作があった場合，アイドル状態へ移行するという回路記述は一般的に行われているかと思います．ここでは少し進めて考えてみます．

前段回路からデータや制御信号を出力し，後段を制御する回路をイメージしてください．この場合，前段が動作しなければ後段も動作しないので，単純に前段に追随する回路になります．ゲート規模やコード・カバレッジを考えれば十分な構成です．しかし，バグや誤動作を考えた場合，前段が動作しない状況では後段も動作させないように制御信号を追加した方がよいでしょう（**図5-5**）．前段で誤動作が起きた場合，後段でその伝搬を防げる可能性があります．

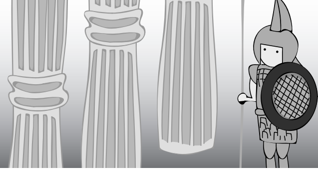
＊　＊　＊

冗長設計は，ゲート規模が増えたり起動時の検査に時間が掛かったりするため，コスト的には不利になります．しかし，重大なミスやトラブルを避けることが可能です．つまり，今後起こり得る不安要素への対策費を，事前に支払うようなものです．

部品単価や開発費だけでなく，広範囲のコストを考えればそれほど高い買い物ではないかもしれません．検討の価値はあるでしょう．

こやま・ひでとし

2



事例6

Hブリッジを使ったモータ・ドライバの破壊を防ぐ回路

櫻田信弥

Hブリッジ直流モータ・ドライバは，直流モータを制御する際に必須の回路です．それほど難しい回路ではなく，**図6-1**のように四つのスイッチ（トランジスタ）で構成されます．ただし，実際にはさまざまな要因により，回路設計者の過失でなくとも，正しく機能しないことがあります．

特に大電流を流すドライバの場合，発熱・炎上の可能性のある危険度の高い回路でもあります．そこで，起こり得る事象を想定し，それに対してあらかじめ対応しておくことが望ましい設計といえます．

● 誤った制御信号が来るかもしれない

Hブリッジは，4個のトランジスタで構成されています．これらを制御する場合，4本の信号で制御することもできますが，その場合なんらかの異常，例えば制御マイコンの暴走やバグなどによって，**図6-2**のように回路が短絡状態となることがあります．この場合，あっという間に回路が壊れます．そうならないためには，制御信号の問題があっても壊れない仕掛けを作っておかなければなりません．具体的には，**図6-3**のような回路を挿入しておけば，信号線にどのような信号が来ても，回路は破壊しません．

● 接触不良が起こるかもしれない

例えば，モータ・ドライバ回路と制御信号回路を別々の基板に実装したとします．その場合，基板間には当然，導線があり，接続するコネクタがあります．それらが正常に導通していれば問題ありませんが，実際には断線や接触不良は日常茶飯事です．先ほどの**図6-3**のような回路を作ったとしても，断線してしまえば何の効果もありません．オープン時の電圧が不定状態にならないように，プルアップ/プルダウンしておくとよいでしょう．**表6-1**に**図6-3**の回路の真理値表を示します．

さくらだ・しんや

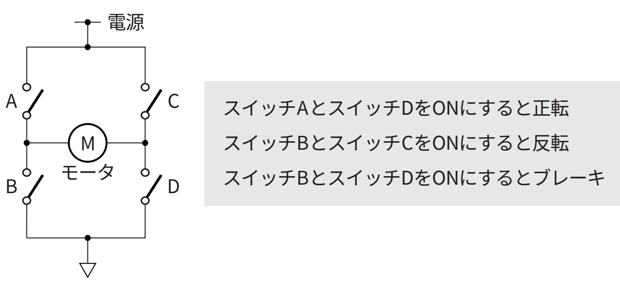


図6-1　Hブリッジ回路
四つのスイッチ（トランジスタ）で構成される．

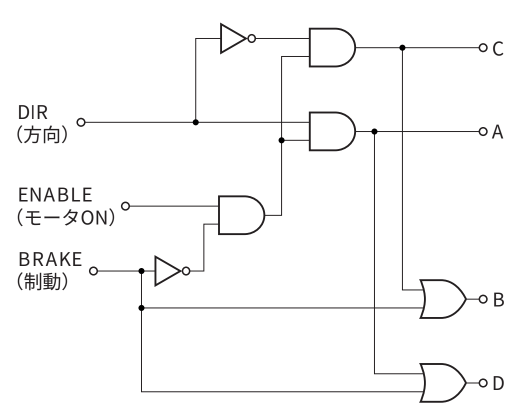


図6-3　保護回路
各スイッチは“H”でONになるものとする．

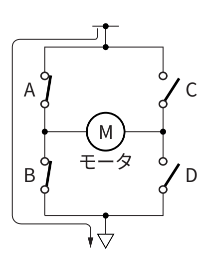


図6-2　Hブリッジ回路は簡単に壊れる
スイッチAとスイッチB，またはスイッチCとスイッチDが同時にONになると，電源とグラウンドが短絡することになる．

表6-1　図6-3の真理値表

DIR	ENABLE	BRAKE	動　作
×	×	1	ブレーキ
×	0	0	停　止
1	1	0	正　転
0	1	0	反　転

×：不定



事例7
可変抵抗器の接触不良による事故を防ぐ回路

島田義人

古いオーディオの音量調節ボリュームを回したときに，「ガリガリ」という音を聞いた経験はありませんか．音量調節ボリューム（可変抵抗器）は機械的な動きを伴う電子部品なので，接点が摩耗して接触不良を起こすことがあります．

● 可変抵抗器の概要

写真7-1に可変抵抗器の外観を示します．**写真7-1(a)**に示した抵抗器は，ほかの部品の誤差を補償したり，信号のレベル合わせを行ったりなどの目的で使われる調整用部品です．別名「トリマ」とも呼ばれ，もともと調整頻度が低いことを前提に作られた可変抵抗なので，一般に回転寿命が短く，100回程度となっています．**写真7-1(b)**は炭素系の可変抵抗器で，一般的に回転寿命は15,000回程度です．

● OPアンプのゲイン調整に可変抵抗器を使用した例

図7-1にOPアンプを使った簡単な増幅回路例を示します．帰還抵抗R_fに可変抵抗VR_1を用いてゲインを調整する場合を考えてみます．ゲインA_vは次式で示されます．

$$A_v = -R_f/R_i \quad \cdots\cdots (7\text{-}1)$$

ここでVR_1が接触不良を起こすと，**図7-1(a)**の回路構成では，2ピンが電気的に絶縁された状態になり，R_fが非常に大きくなります．そうすると，式(7-1)から分かるように，増幅回路のゲインは非常に大きくなってしまいます．出力電圧V_{out}は電源電圧近くまで振り切れてしまうことでしょう．増幅回路の後段に接続された回路があれば，その回路が壊れて事故につながるかもしれません．

一方，**図7-1(b)**のように，2ピン-3ピン間を接続しておくと，接触不良を起こしてもR_fの抵抗値はVR_1の持つ値以上にはなりません．つまり出力電圧が最大ゲインを超えて出力されることがなくなります．こうすることで，フェイルセーフが成り立つわけです．

● ポテンショメータとして可変抵抗器を使用するときの例

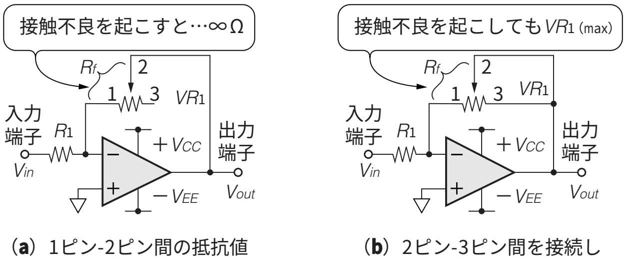
可変抵抗器を使って基準電圧源V_{ref}から回転角に比例した電圧を取り出すような回路の例を**図7-2**に示します．可変抵抗器VR_2の2ピンから直接出力を取ってしまうと，取り出した電流で端子電圧が変わってしまうため，ボルテージ・フォロワを接続して電圧を安定化しています．ボルテージ・フォロワの入力端子には，保護抵抗R_pを接続しています．万が一，可変抵抗VR_2が接触不良を起こしても，保護抵抗R_pによって入力電圧が0Vになるため，出力電圧はV_{out}＝0V（最小電圧）になり，安全な電圧側に作動します．

しまだ・よしひと



(a) 半固定抵抗（トリマ）
(b) 一般的な炭素系の可変抵抗器

写真7-1 可変抵抗器の外観
写真中の数字は端子番号．



(a) 1ピン-2ピン間の抵抗値Rをそのまま利用する例
(b) 2ピン-3ピン間を接続して抵抗値Rを利用する例

図7-1 OPアンプを使った簡単な増幅回路例
帰還抵抗R_fに可変抵抗VR_1を用いてゲインを調整する．

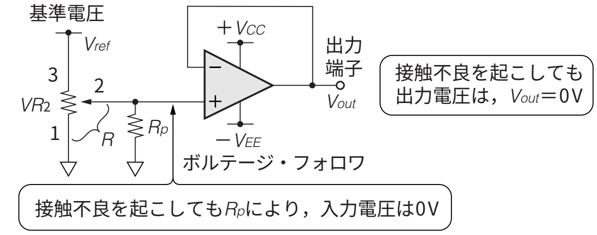


図7-2 電圧分圧（ポテンショメータ）として可変抵抗器を使用する例
可変抵抗器VR_2の2ピンから直接出力を取ってしまうと，取り出した電流で端子電圧が変わってしまうため，ボルテージ・フォロアを接続して電圧を安定化している．

2

事例8

コネクタ周りで起こるトラブルを予防する

佐藤四郎

玄関の段差でひやっとした経験などはありませんか．自動ドアの痛ましい事故を耳にすることもあります．建物の出入り口には，意外と危険が潜んでいます．

● コネクタの出入り口にも危険が潜む

電子回路も同じです．コネクタを使い，装置の外部と電源や信号のやりとりを行う際には多くの危険が潜んでいます．ちょっと考えただけでも次のようなものがあります．

1）接続装置の故障
2）異物による短絡
3）静電気などの高圧放電
4）抜き挿しの際に誤って人間が電極を触る

これらから装置を守るためにはどうしたらよいでしょうか．電子機器のメーカには設計基準を定めているところがあって，筆者の所属していたあるメーカでは，**図8-1**のような回路を組まないと装置を出荷できないことになっていました．

電源系統には，必ずポリスイッチを直列に挿入しなければなりません．ポリスイッチは過大な電流を流すと急に大きな抵抗値を持つ素子で，ヒューズの代わりに使われます．ヒューズとは異なり，いったん電源を切ると元に戻るので，交換の必要がありません．

信号系統には，必ずダンピング抵抗とノイズ除去コンデンサ，さらに静電気放電から回路を守るためにバリスタを接続します．また，バッファ回路も必ず挿入しなければなりません．

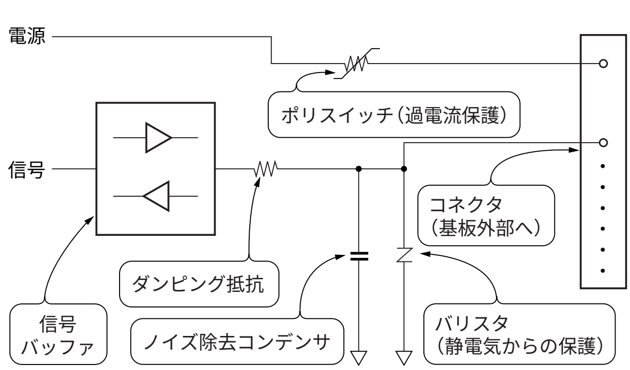


図8-1　コネクタ周りのトラブル対策回路の例
筆者の勤務していたメーカでは，このような回路を入れておかないと装置を出荷できなかった．

ところが，これらの対策を講じていると，それなりにコスト高になり，装置の小型化の支障にもなります．し烈な市場競争をしている装置においては価格で負けてしまい，整理される要因になることさえあります．

● コストを抑えつつ対策をうつ

そこで装置の性格によっては，別の対策を講じる必要が生じてきました．コストを抑えつつ，迫るアクシデントにどのように対応すればよいのでしょうか．場合によっては故障もやむを得ないとし，発火など，人の安全を守るという点だけに対処する場合もあります．

コストを優先し，同時にトラブルを抑える手段には次のようなものがあります．

1）コネクタにカバーをする
2）電極が露出しない構造のコネクタを選ぶ
3）ポリスイッチの代わりにヒューズを使う
4）バッファ回路を割愛する
5）わざと細いパターンにして過大な負荷で焼き切れるようにする

いずれにしても，故障しても修理することが許される装置なのか，故障によって多大な損害が考えられる装置なのかといったことを考慮して，慎重に設計しなければなりません．

＊　＊　＊

重要なのはメーカと技術者の考え方ですが，常に使う人や状況を考えて，自信のもてる設計をしてほしいものです．

さとう・しろう



事例9 MMICアンプのバイアス回路は電圧変動を考慮して設計する

川田章弘

図9-1の回路は，MMIC（microwave monolithic IC）を使用した高周波アンプです．この回路で，MMICへのバイアス電流を定電流回路で供給しているのには訳があります．それは，このようなMMICでは，入力高周波電力によって出力端子の直流電圧が変化することがあるからです．実験してみると，入力高周波電力が大きくなると，出力端子の直流電圧 V_D が低下することが分かりました．

ここで，MMICのバイアスを**図9-2**のように簡易的に抵抗で作っている場合，その電流 I_{CC} は，

$$I_{CC}=\frac{V_{CC}-V_D}{R}$$

ただし，V_{CC}：電源電圧，V_D：MMIC出力の直流電圧，R：バイアス抵抗値

で求まります．V_{CC} が十分に高い場合，V_D が少々低下しても問題ありません．しかし，V_{CC} が8V程度になると，V_D の低下によって大きな電流がMMICに流れるようになります．

例えば，V_{CC}＝8Vで，V_D が4.7Vのとき，MMICに流れる電流 I_{CC} は，

$$I_{CC}=\frac{8-4.7}{60}=[55\mathrm{mA}]$$

です．ところが，V_D が4.4Vに低下すると，I_{CC} は60mAに増加します．もし，V_{CC} が15Vであり，抵抗：R＝200Ωであれば，

$$I_{CC}=\frac{15-4.7}{200}=51.5[\mathrm{mA}]$$

です．また，V_D が4.4Vに低下しても，I_{CC} は53mAに上昇するだけです．つまり，V_{CC} が15Vの場合は，電流は＋3％程度の上昇で済みます．一方，V_{CC} が8Vのときは，＋9％も電流が上昇してしまうことになります．

MMICの多くは，InGaPやAlGaAsプロセスで作られています．特にAlGaAsプロセスで作られたデバイスは，過電流を流すと著しく寿命が低下します．NBB-310のようなInGaPプロセスで作られたデバイスは比較的過電流に強いのですが，それでも過電流は流すべきではありません．

そこで，**図9-1**の回路では，V_D が低下しても一定の電流が流れるように定電流回路を使っています．MMICのデータシートには，抵抗を使用したバイアス回路例しか載っていませんが，回路設計者としてはデバイスの特性（癖）を理解し，信頼できる回路を設計しなくてはなりません．

参考・引用＊文献

(1)＊ 川田章弘，石井聡；第8章 広帯域＆高周波回路の配線実例集，トランジスタ技術，2005年6月号，pp.170-175，CQ出版社.

かわた・あきひろ
日本テキサス・インスツルメンツ（株）

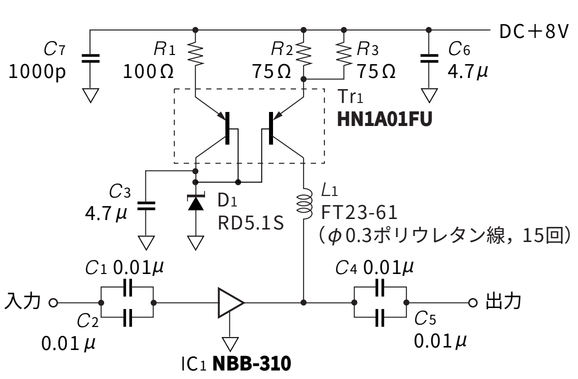


図9-1(1) **MMICを使用した高周波アンプと周辺回路**
MMICへのバイアス電流を定電流回路で供給している．

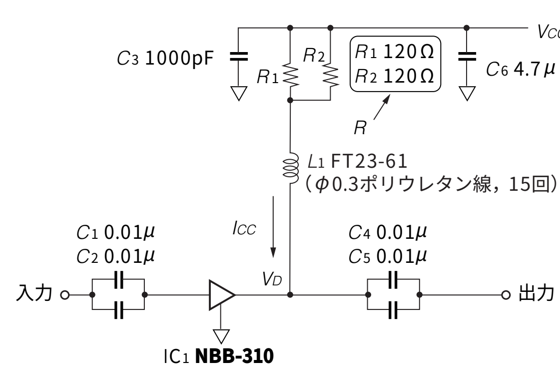
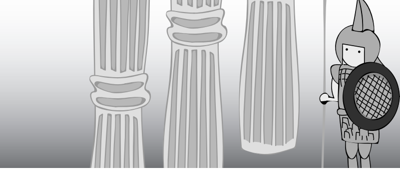


図9-2 図9-1から定電流回路を削除した回路
使用条件によって特性のばらつきが大きくなる．

2



事例10

温度上昇や最大消費電力を考慮しパッケージを決めた

結城健二

トランジスタやFETなどを使ったパワー制御回路では，これらのデバイスの消費電力を考慮した設計が重要になります．OPアンプの場合，動作電圧が低く（高くても±18V），負荷も軽い（10 kΩ〜）場合が多いので，特に消費電力に対してあまり注意を払うことはないと思います．しかし，思わぬところで定格消費電力を超えてしまう場合があります．

● 最大消費電力：DIP品と面実装品では大きく異なる

あるオーディオ機器の後継機を設計したときの例です．前機種において，あるブロックのOPアンプはDIP（dual in-line package）品を使っていたのですが，基板面積の関係で極力，面実装品に置き換えをしなくてはなりませんでした．使用していたOPアンプはNJM4580です．このICの特性を以下に示します．

1）絶対最大消費電力P_{cmax}
- NJM4580D　800mW（T_a＝＋25℃）
- NJM4580M　300mW（T_a＝＋25℃）

T_aは周囲温度

2）電源消費電流I_{CC}　9mA（最大）

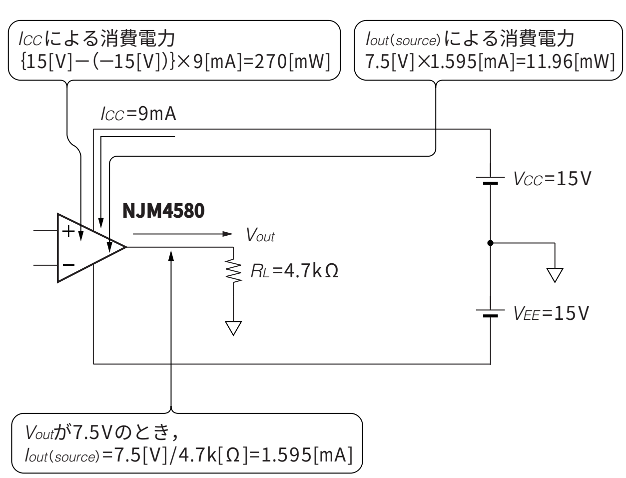


図10-1　NJM4580の最大消費電力を計算する
計算方法の詳細は本文を参照．

このOPアンプの最大消費電力を求めます．**図10-1**に計算例を示します．**図10-1**から，最大消費電力P_{dmax}は，

$$P_{dmax} = 270\,[\mathrm{mW}] + 11.96\,[\mathrm{mW}] = 281.96\,[\mathrm{mW}] \quad \cdots\cdots\cdots(10\text{-}1)$$

と，求まります．DIP品（NJM4580D）であれば，定格内で問題ありませんが，面実装品であるNJM4580Mは，数字こそ定格内（300mW）ですが，温度のディレーティングを考慮して採用不可としました．

図10-2に消費電力のディレーティング特性例を示します．周囲温度により，許される消費電力が制限されます．ICはいつも周囲温度が＋25℃で使われるわけではありません．例えば，夏場での環境温度を＋35℃，機器内部での温度上昇分を＋20℃とした場合，OPアンプの周囲では（＋35℃）＋（＋20℃）＝＋55℃となります．今回の例では，周囲温度が＋55℃のときのデータは不明ですが，ここではディレーティング率を80％と考えれば，許容消費電力は300［mW］×0.8＝240［mW］となり，Mパッケージの採用は不可としました．

● 消費電力P_dの計算方法

OPアンプがどれだけ電力を消費するか（許されるか）を規定するもので，この値を超えてはなりません．考え方と計算方法を**図10-3**に示します．

電力は電流×電圧になりますから，OPアンプに流れる電流を考えます．まず，電源を与えれば無条件に電源電流

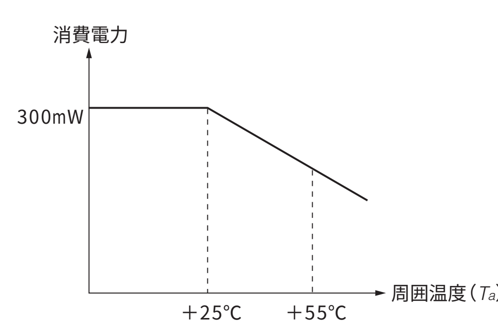


図10-2　消費電力のディレーティング特性例
周囲温度により，許される消費電力が制限される．



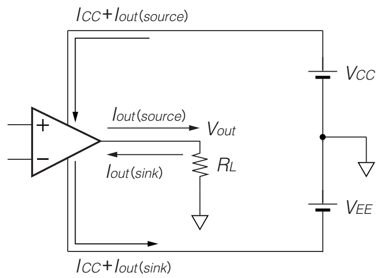


図10-3 OPアンプの消費電力の求め方

が流れ，両電源の場合は，V_{CC}からV_{EE}への電源電流I_{CC}になります．この電源電流I_{CC}はOPアンプにより決定され，一般的にバイポーラOPアンプの場合，高性能（低ノイズ，広帯域）であるほど大きくなる傾向があります．

さらに，負荷R_Lへ流れる電流I_{out}があります．I_{out}はOPアンプの出力信号の振幅方向により，吐き出し方向（つまり，プラスの電位）と吸い込み方向（マイナス電位）に分けられます．通常，この値は同じと考えられます．I_{out}による電流は負荷抵抗により決定され，V_{out}の振幅レベルで変化します．

消費電力P_dは次式で表されます．OPアンプの出力電流I_{out}が吐き出し方向$I_{out(source)}$のとき，

$$P_d = I_{CC}(V_{CC} - V_{EE}) + (V_{CC} - V_{out})I_{out(source)} \cdots(10\text{-}2)$$

OPアンプの出力電流I_{out}が吸い込み方向$I_{out(sink)}$のとき，

$$P_d = I_{CC}(V_{CC} - V_{EE}) + (V_{EE} - V_{out})I_{out(sink)} \cdots\cdots(10\text{-}3)$$

となります．上式において消費電力が最大となる状態（条件）は，吐き出し方向の場合，

$$V_{out} = V_{CC}/2$$

吸い込み方向は，

$$V_{out} = V_{EE}/2$$

のときです．

従って，吐き出し方向の最大消費電力P_{dmax}は，

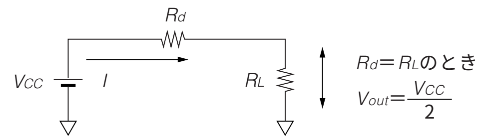
$$P_{dmax} = I_{CC}(V_{CC} - V_{EE}) + (V_{CC}/2)I_{out(source)} \quad \cdots(10\text{-}4)$$

で求められます．

吸い込み方向の最大消費電力も同じように計算でき，

$$P_{dmax} = I_{CC}(V_{CC} - V_{EE}) + (V_{EE}/2)I_{out(sink)} \quad \cdots\cdots(10\text{-}5)$$

となります．



R_dの消費電力Pは，

$$P = R_d \times I^2 = \frac{R_d \times V_{CC}^2}{(R_d + R_L)^2}$$

$$= \frac{R_d \times V_{CC}^2}{(R_d^2 + 2R_d \times R_L + R_L^2)}$$

$$= \frac{V_{CC}^2}{\left\{R_d + 2R_L + \left(\frac{R_L^2}{R_d}\right)\right\}}$$

ここで分母の中の$2R_L$は定数であることから，それ以外の$R_d + \left(\frac{R_L^2}{R_d}\right)$が最小値になれば上式の$P$が最大となる．
この条件は
$R_d = R_L$
である

図10-4 R_dの消費電力を求める
$R_d = R_L$で消費電力は最大になる．

● 消費電力P_dのもう一つの計算方法

式(10-2)において，右辺第1項の$I_{CC}(V_{CC} - V_{EE})$は負荷R_Lによらず，OPアンプの電源電流I_{CC}で決められます．第2項の$(V_{CC} - V_{out})I_{out}$(source)は，負荷$R_L$と$V_{out}$により決まる消費電力です．

第2項の消費電力が最大となる条件を考えます．OPアンプを抵抗R_dと見なしたとき，V_{CC}，R_d，R_L，V_{out}の関係は**図10-4**のようになります．この図からR_dの消費電力が最大となる条件は，

$$R_d = R_L$$

で，そのときのV_{out}は，

$$V_{out} = V_{CC}/2$$

となります．また，R_d，R_Lの最大消費電力P_{rd}は，

$$P_{rd} = (V_{CC} \times V_{CC})/4R_L = (V_{CC} \times V_{CC})/4R_d \quad \cdots(10\text{-}6)$$

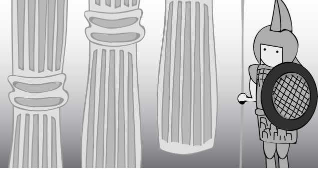
となり，

$$P_{dmax} = I_{CC}(V_{CC} - V_{EE}) + (V_{CC} \times V_{CC})/4R_L \quad \cdots(10\text{-}7)$$

と求まります．

ゆうき・けんじ

2



事 例 11

大電流回路は電源分割を行い個別にヒューズを入れる

川田章弘

現在の高速・高精度論理回路にはLVDS（low voltage differential signaling）デバイスが使われることが多いようです．しかし，かつてはECL（emitter coupled logic；エミッタ結合論理）デバイスが多用されていました．ECLは，非飽和論理と呼ばれるように，定常状態においても比較的大きな電流がデバイスに流れます．そのため，この論理ICを大量に使用した回路には，大電流が流れることになります．また，UHF（ultra high frequency）帯からマイクロ波帯の低ひずみ（高IP3）高周波パワー・アンプは，動作点がA級となっていることもあり，このような回路にも大電流が流れます．

● 回路保護素子にヒューズを使うときの注意事項

回路保護素子にヒューズを使うのは，古典的ながら確実な方法です．現在では，ポリスイッチなどの回路保護素子もあります．しかし，電流制限を繰り返し行っていると，その素子の抵抗値が上昇してしまう品種も存在します．回路保護素子の抵抗値の上昇は，電源電圧降下を引き起こす原因となるため，好ましくありません．そのため，産業機器など，定期的にメンテナンスを行う機器ではヒューズを使うのがよいでしょう．

筆者が以前勤務していたメーカでは，ボードの回路保護に，ヒューズが使用されていました．そして，使うヒューズには定格電流の40％～60％の電流が流れるように設計するという社内ルールが決められていました．これは，電源投入時の突入電流を考慮して決められた設計ルールのようでした．

● 安易に大電流ヒューズを使用しない

さらに，もう一つ重要なルールがありました．それは，10A以上のヒューズは使用しないというものでした．**図11-1**に示すように，5Aの電流が流れる回路全体を一つのヒューズで保護したとします．このとき，回路の一部が短絡したらどうなるでしょうか．10Aのヒューズが切れてくれればよいのですが，10Aの速断ヒューズが1秒以内に溶断するには，15A強の電流が必要なのです（**図11-2**）．従って，回路の一部が短絡してもヒューズは溶断しないことになります．そのため，ヒューズが溶断する前に，プリント基板のパターンが焼損する可能性もあります．また，一部の部品における焼損の影響が，ほかの回路へ影響し，ボード全体がダメージを受けてしまうこともあり得ます．

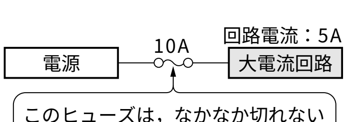


図11-1　消費電流5Aの回路を定格10Aのヒューズで保護した場合
ヒューズの役割を果たすことができない．

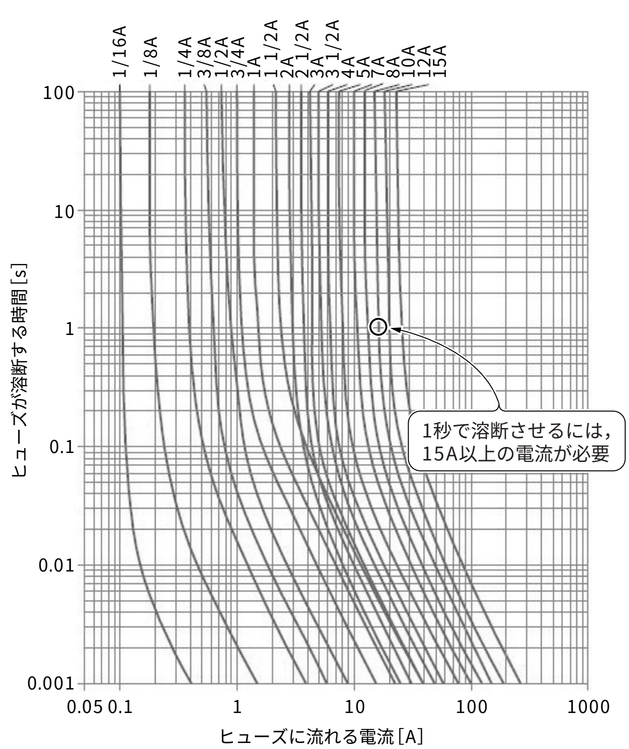


図11-2[1]　ヒューズの溶断特性
米国Littelfuse社の451，453シリーズの特性例．



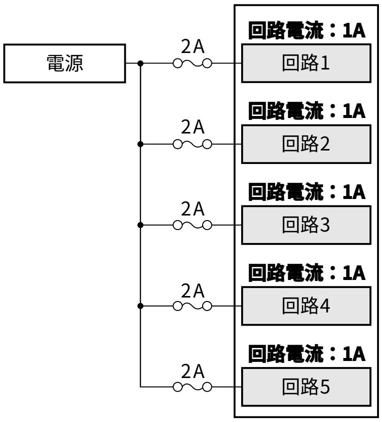


図11-3　電源を分割し，ヒューズを分ける
回路が連鎖的に破損してしまうことを防ぐ．

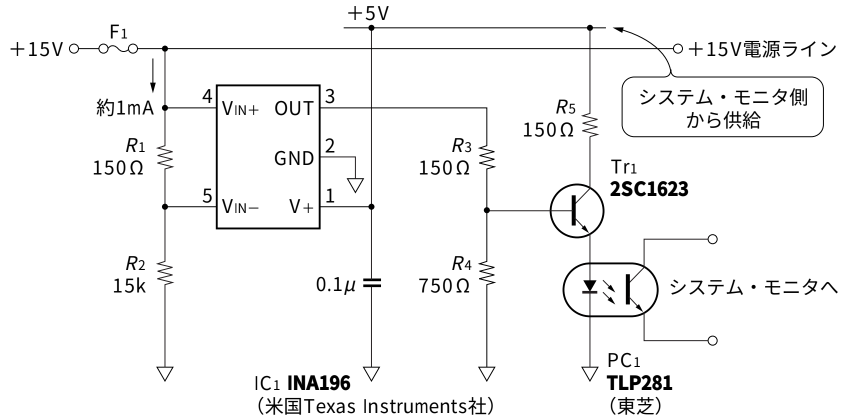


図11-4[2]　ヒューズの断線を検出する回路
どのヒューズが溶断したのかも簡単に確認できる．

● 電源分割で対応する

このような事態を防ぐためには，回路を機能ブロックごとに切り分け，電源分割を行うとよいでしょう．具体的には**図11-3**のようになります．このように回路を機能ブロックで分け，細かくヒューズを挿入することで回路が連鎖的に破損してしまうことを防ぐことができます．同じ電源電圧で使う回路でも，あえて電源ラインを分割し，ヒューズを分けるのです．この方法は，ヒューズの使用数量が増えてしまいますが，汎用的な高信頼性設計手法として使えます．また，**図11-4**のようなヒューズの溶断を検出するためのインジケータ回路を追加しておけば，どのヒューズが溶断したのかも簡単に確認できます．

参考・引用*文献

(1)* NANO^2 FUSE Very Fast-Acting 451/453 Series カタログ，リテルヒューズ
http：//www.littelfuse.com/data/en/Data_Sheets/451_453.pdf
(2) 川田章弘；IC レビュー実験室[4] 差動アンプとインスツルメンテーション・アンプの評価実験，トランジスタ技術，2004年4月号，pp.223-230，CQ出版社．
(3)* ポリスイッチの概要と選定方法，タイコエレクトロニクスレイケム．
http://www.raychem.co.jp/polyswitch/pdf/polyswitch_summary.pdf

かわた・あきひろ
日本テキサス・インスツルメンツ(株)

コラム　ポリスイッチの寿命

本文中に記載したように，ポリスイッチは繰り返し電流制限を行っていると，徐々に抵抗値が上昇してきます．この特性については，メーカのデータシートに**図11-A**のようなトリップ・サイクル試験として，データが記載されています．図の例では，直流18V，50Aで500回の過電流保護を行うと，抵抗値が上昇してしまうことを示しています．

このことから，ポリスイッチは半永久的に使用できる部品ではなく，寿命部品であると考えるべきです．ポリスイッチを使用するときは，機器の耐用年数を考慮して使用の可否を検討すべきでしょう．

容易にメンテナンスのできない民生機器などでは，ポリスイッチは便利な回路保護素子ですが，保守性を考慮して設計されている産業機器などでは，むしろヒューズを使用したほうがよい場合もあります．

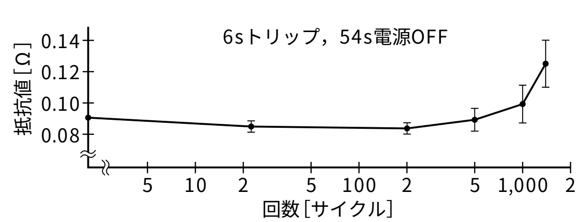
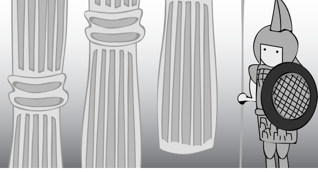


図11-A[3]　トリップ・サイクル試験
500サイクル後，素子抵抗の増大が見られる．



事例 12

発煙・発火防止を目的とした基準を作る

今村 元一

電子機器の信頼性向上においては，「故障しない，壊れない」ということが一番でしょう．しかし，電子機器も機械である以上は，故障が全く起きないように製品を設計したり生産したりすることは，現実的には不可能です．

従って製品を設計する立場では，いかに故障しないかということ以上に，「いかに安全に故障するか」という思想が重要になってきます．しかし，製品の安全性設計という概念は大変難しく，設計者個々のスキルに任せると，製品の信頼性にばらつきができてしまい好ましくないので，設計基準作りが必要になります．

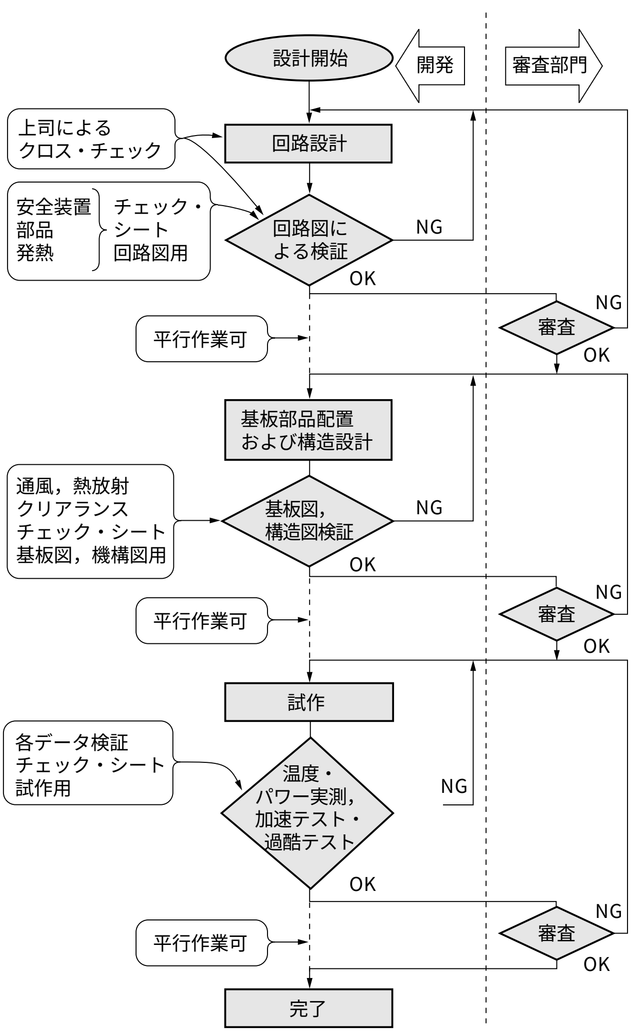


図12-1　安全試験の流れ

安全設計の基準は各段階で必要になり，各段階で設計・検証・審査を繰り返すことで，より確実性を高められる．

ここでは，故障の中で最も危険な発煙・発火防止を目的とした基準の一例を紹介します．

電子機器の発煙・発火の要因は，設計の不備や部品の劣化などです．回路に過電流が流れ，部品や基板が発火・類焼します．これを防止するためには，次のような点に基準作りが必要です．

1) 部品の定格が使用条件に対し適正であること
2) 部品の使用環境（特に温度）が適正であること（通風を含む）
3) 電流量に対し基板のパターン幅に余裕があること
4) 放電が起きるようなパターンや機構設計になっていないこと
5) 故障が発生しても発煙や発火に至らないこと

この中でも安全面では，特に**5)**が一番重要です．一般に電子機器の設計は**図12-1**のようなステップが一般的ですが，安全設計の基準は各段階で必要になり，各段階で設計・検証・審査を繰り返すことでより確実性を高めます．従って基準は多岐にわたります．その一例を**図12-1**に示します（若干，簡略化してある）．**図12-1**のすべてを限られた誌面で紹介することはできないので，ここでは**5)**に関する項目を**表12-1**に示します．

● 1次安全装置

通常，1次安全装置は必須です．ヒューズが一般的です．ヒューズの容量はジュール熱から選定する方法が採られますが，低インピーダンス電源の用意や電流波形の記録など，厄介な面も多々あるので，スイッチング・レギュレータに使用されているものと同じにしておくのも手です．自信のない方はヒューズ・メーカに相談するとよいでしょう．

● 2次安全装置

2次安全装置もヒューズが一般的ですが，PTC（positive

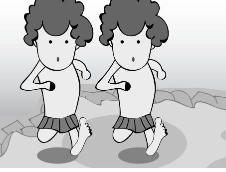


表12-1　故障が発生しても発煙や発火に至らないための基準

	項　目	設計時の検証項目	試作時の検証項目
Ⅰ	1次安全装置設置	想定されるジュール熱より容量を決定する	定格電流（メータ）や突入電流（波形）を実測し，設計電流値と比較・検証する．突入電流は指定の低インピーダンス測定装置で行うこと
Ⅱ	2次安全装置設置	故障または2次作用の過電流で発煙発火のおそれのある場所に設置する．ジュール熱から容量を決定し，「2×（予想される突入電流）< 想定される故障時の過電流値」の関係が守れない場合は，安全装置を分割すること	設計時に設定した以外の回路に装置を設置する必要はないか．設計時に想定された過電流を招く故障状態を再現し，「安全装置が働くこと，部品やパターンの焼損が発生しないこと」を確認．安全装置が働く前にほかの回路に2次的な焼損発火が発生しないこと，加速テストで溶断しないこと
Ⅲ	部品余裕度	絶対最大定格の1/2を超えないことが基本．故障時に負荷が最大定格を超える際は2次安全装置により防止．自己発熱が多い場合，動作時の表面温度上昇が25 ℃以下であること．温度上昇の抑制が困難なときは，放熱・導熱設計を施す．発熱部品が多いときは，相乗効果による熱暴走が起きる危険を回避する	回路図検証でピックアップした部品に対し，動特性を含めた最大電圧を実測し，設計値と比較する．ピックアップされた部品の温度を放射温度計で実測する
Ⅳ	基板	設計電流値に対しパターン幅が適正か．設計電圧が規定以上の場合，放電が起きるようなパターン形状や配置になっていないか．自己発熱が外気温＋20 ℃以上の部品について，発熱部品同士の影響で熱暴走を起こす距離に配置されていないか．発熱部品の直近に熱に弱い部品が配置されていないか．通風または導熱が確保される部品配置になっているか	左記内容が確実に実施されているかを確認する．実電流値が設計値と異なるとき，適正さを確認する
Ⅴ	機構	衝撃でひずみなどが生じたとき，ショートなどが発生しないように絶縁処置が行われているか．樹脂製部品の摩擦などで帯電する要素がないか．帯電が予想される場合は放電処置が施されているか	外筐にCEに規定されるボール落下試験でクリアランスを確認する．設計値で20mm以下の場合，試験結果を写真に残す．樹脂製部品など静電気を起こす要因を確認する．放電構造に不要な角など，迷走放電の可能性がないか確認する
Ⅵ	通風・発熱	空気取り入れ口や排気口の容量および形状が適正か．空気のよどみが起きる部分に発熱部品や熱に弱い部品はないか．ファン停止の警告処置はされているか	十分なエージングを実施後，外筐を外し素速く放射温度計にて温度分布を測定し，記録する．発熱部品が密集している場合，特に注意して測定すること
Ⅶ	加速テスト	—	恒温槽において，「60 ℃，80 %，連続運転100時間」で安全性にかかわる故障が発生しないこと．ヒューズなどが不要な断線を起こさないこと．無通電状態で恒温槽に置いて，「－10 ℃を4時間，＋50 ℃を4時間」を5回，繰り返す
Ⅷ	過酷テスト	—	ファンを停止する．空気の流通をシャットアウトした状態で，発煙，発火に至らないことを確認する．放置時間は動作不良など，故障が発生するまでで，最長80時間

（注）各数字，実施内容は一例．

temperature coefficient thermistor；正温度係数抵抗器）など，ほかの素子が用いられる場合もあります．

2次安全装置が必要な理由は二つあります．一つは2次側で短絡状態が発生しても，最近はスイッチング電源の保護機能により1次側のヒューズが切れず，2次側に大電流を流し続けてしまうことがあるためです．

もう一つの理由は，末端で電流増加が起きても，電源の許容範囲なら電流が流れ続け，末端の配線パターンや部品を焼いてしまうような場合です．そのため，設計段階では，回路ごとに短絡保護を検討し，効率的に2次安全装置を設けます．

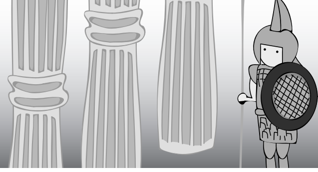
また，試作機検証段階では，実際に短絡や想定される電流増加状態を発生させ，確実にヒューズが断線するかを確認します．さらに，使用状態の加速テスト（高温長時間）によって不要な断線が発生しないかも確認します．そのうえ，故障を前提とした加速テスト（過酷テスト）を行い，故障発生の様子や故障時の安全性について確認します．

このテストの最も簡便な方法は，機器を毛布のようなものでくるみ，空気の流通を遮断し，長時間放置するというものです．ファンが付いているものはファンも止めます．放置時間は80時間程度が目安ですが，経験上，故障が発生する場合は48時間以内に起こります．

＊　＊　＊

以上，安全に故障する機器設計の基準例を紹介しました．このような基準は設計思想にかかわるところなので，各社で開発機器に合わせて統一した基準作りが必要になります．

いまむら・もといち
リーダー電子（株）



事例13

リニア電圧レギュレータを利用する際の放熱設計

河添秋雄

ICのストレスとして，温度，湿度，電力，電圧，電流，機械的ストレスなどが挙げられます．これらのストレスを軽減することで信頼性を向上できます．本稿では，リニア電圧レギュレータを利用する際の放熱処理において，ICの最大ジャンクション温度注1を定格値である125℃から10℃下げた115℃で設計することで信頼性を高める事例を紹介します．

米国National Semiconductor社の低ドロップアウト・リニア電圧レギュレータ（以降，LDO）「LP3872ES-2.5」を使用した例で説明します．**図13-1**に回路例を，**表13-1**に仕様を示します．ここでは，LP3872ES-2.5の入出力仕様を次に示すように仮定しています．

- 入力電圧V_{in}＝3.3V
- 出力電圧V_{out}＝2.5V
- 出力電流I_{out}＝1.313A
- IC内部バイアス電流（最大）I_{GNDmax}＝0.015A
- 最大周囲温度T_{Amax}＝70℃
- 消費電力P_d＝1.1W
- 最大ジャンクション温度T_{Jmax}＝125℃（定格値）
- 最大ジャンクション温度T_{Jmaxd}＝115℃（ディレーティング）

● 電源ICの消費電力を計算

LDOの消費電力P_d［W］は次式となります．

P_d＝（入力電圧－出力電圧）×出力電流＋（入力電圧×IC内部のバイアス電流）

$$=(3.3-2.5)\times 1.313+(3.3\times 0.015)=1.1\ [\mathrm{W}]$$

この消費電力P_dはすべて熱として放熱処理する必要があります．LDOは，スイッチング・レギュレータと比較して効率が悪く，発熱が大きくなる欠点があり，特に熱設計が重要です．

● パッケージの熱抵抗θ_{JA}を算出

パッケージの熱抵抗θ_{JA}とは，IC内部ジャンクション温度T_Jと周囲温度T_A間の熱抵抗［℃/W］です．すなわち1Wの消費電力で，周囲温度T_Aよりジャンクション温度T_Jが何度上昇するかを表しています．

パッケージの熱抵抗θ_{JA}の計算式は，

$$\theta_{JA}=(T_{Jmaxd}-T_{Amax})\div P_d$$

となります．

今，T_{Jmaxd}＝115℃におけるθ_{JA}は，

$$\theta_{JA}=(115-70)\div 1.1=40\ [℃/\mathrm{W}]$$

となります．

表13-1の仕様から，IC単体のパッケージの熱抵抗θ_{JA}は，75℃/Wとなっているので，放熱設計で40℃/Wに下げる必要があります．上記熱抵抗θ_{JA}＝40℃/Wを実現するため，プリント基板の銅はくを放熱フィンとして利用し，熱抵抗θ_{JA}を75℃/Wから40℃/Wに下げることで，ジャンクション温度T_{Jmaxd}＝115℃設定のディレーティングが実現できます．

注1　ジャンクション温度とはIC内部の接合部温度のこと．

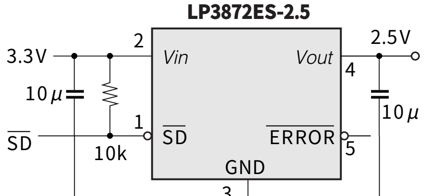


図13-1　CMOS-LDO「LP3872ES-2.5」を使った2.5V電源回路の例

表13-1(1)　CMOS-LDO「LP3872ES-2.5」の仕様

項　目	規格値
入力電圧範囲	2.5～7V
出力電圧（最大）	1.5A
IC内部バイアス電流I_{GNDmax}	15mA
ジャンクション温度範囲	－40℃～＋125℃
IC単体のパッケージ熱抵抗θ_{JA}	75℃/W
パッケージ	TO-263，5ピン

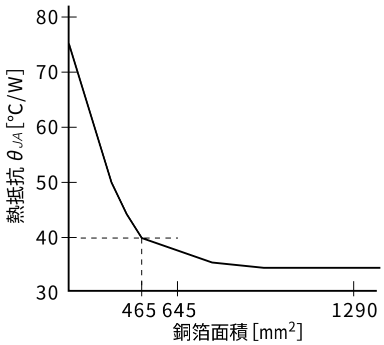


図13-2[1]
TO-263パッケージの熱抵抗 θ_{JA} とプリント基板の銅はく面積（厚さ36 μm）の関係
θ_{JA} = 40 ℃/W を満足する銅はく面積は465mm².

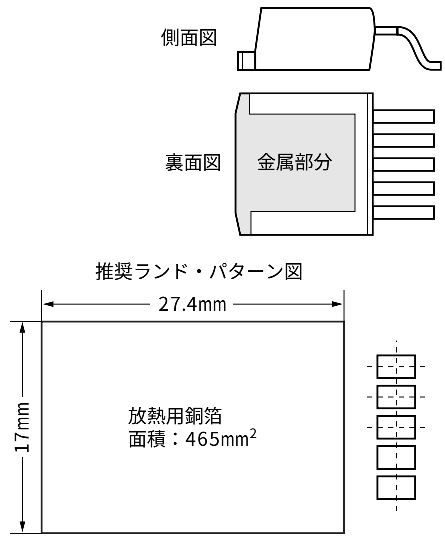


図13-3　TO-263，5ピン・パッケージの外形図と推奨ランド・パターン

● プリント基板の銅はく面積の決定

図13-2にTO-263パッケージの熱抵抗 θ_{JA} とプリント基板の銅はく面積（厚さ36 μ m）の関係を示します．この図から，θ_{JA} = 40 ℃/Wを満足する銅はく面積は，465mm² となります．LP3872のデータシートでは，単位が平方インチとなっていますが本稿では平方ミリに変換しています．

図13-3にTO-263，5ピン・パッケージの外形図と推奨ランド・パターンを示します．この推奨ランド・パターンの銅はく面積を465mm²確保して，この銅はくとパッケージ本体裏面の金属部分をはんだ付けするように設計します．

冒頭でも述べましたが，この熱設計により消費電力1.1Wのときに最大ジャンクション温度は115 ℃となります．定格値である125 ℃より10 ℃低い温度まで動作させられる設計を施しておくことで信頼性を確保できます．

●熱抵抗 θ_{JA} を下げるその他の方法

ほかの方法として，多層基板を採用して多層面の銅箔をスルーホールで接続し，より放熱効果を高める方法や，TO-220パッケージ製品を採用して専用の放熱フィンを取り付ける方法，冷却ファンによる強制空冷の方法などがあります．

●IC内部のジャンクション温度 T_J の算出

ディレーティングから少し外れますが，ICの消費電力 P_d や周囲温度 T_A，熱抵抗 θ_{JA} からIC内部のジャンクション温度 T_J を算出する例を紹介します．T_J [℃] の計算式は，

$$T_J = T_A + \theta_{JA} \times P_d$$

です．ここで，T_A = 70 ℃，θ_{JA} = 160 ℃/W，P_d = 0.2W とすると，

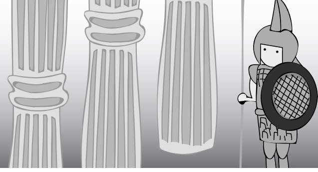
$$T_J = 70 + 160 \times 0.2 = 102\ [℃]$$

となります．

参考・引用*文献

(1) * LP3872データシート，ナショナル セミコンダクター ジャパン．
http://www.national.com/JPN/ds/LP/LP3872.pdf

かわぞえ・あきお
エヌエス・マイクロエレクトロニクス（株）



事例 14

信頼性を高める電源の使い方

月元誠士

プリント基板上には複数の電源（DC-DCコンバータやリニア・レギュレータ）が搭載されます．そのため，回路設計者はいくつもの電源を選択することになります．信頼性に関する注意点には次のようなものがあります．

- 電源メーカが想定した用途（車載用や医療用，通信用など），環境条件（温度，振動など）が使用条件と一致するか（電源の設計思想が一致するか）．
- 電源の信頼度（MTBF：mean time between failure）が明示されているか，または，メーカから入手できるか．
- 電源の入出力回路や規格が，電源メーカ推奨のものと一致するか．特に，入力から想定外の過電圧や過大サージが入らないか．
- 電源の動作温度に余裕があるか．

ここでは，市販の電源を選ぶ際に間違いやすい，動作温度と取り出せる出力の関係を解説し，温度が信頼性に与える影響を考察します．

1 部品は許容できる最大温度以下で使う

電源を選択する条件に，最大出力電流値（または最大出力電力値）があります．この値は電源の動作温度によって制限を受けます．一般に，周囲温度が低いほど，また，冷却効果が高いほどたくさんの負荷（出力電流）を取り出せます．

この特性を，定格出力の温度ディレーティングと言い，データシートに示してあります．**図14-1**は温度ディレーティングの一つの例です．この電源は定格電流値が7Aなのですが，自然空冷の状態では，周囲温度が60℃のとき最大6Aまでしか出力を取り出せないとされています．2m/sの強制空冷を施した場合は，T_aが70℃に上昇しても出力は7Aまで取り出せます．

最大出力の温度ディレーティングの目的は，電源を構成している部品において，最も温度条件の厳しいもの（ICやMOSFETなどの半導体であることが多い）の温度を，許容できる最大温度（絶対最大値T_{max}に一定のマージンを掛けた温度T_{max}'を用いる）に収めることです．従って，温度ディレーティングを守らずに使用すれば，過熱により極端に部品の信頼性が低下することがあります．

● 電源直近にLSI：放熱が課題になってきた

最近はLSIの直近に電源を実装することが一般的になってきており，この実装形態をPOL（point of load）と言います．POLの目的は，電源電圧の精度と電流変動時の応答速度を改善することなのですが，この配置は電源の実装位置がLSIなどの発熱するデバイスに近づくので，それらデバイスからの熱のあおりで電源の温度が上がりやすくなります．

いま，消費電力W_oが5WのLSIへ給電する場合を考えてみます．電源の内部損失W_{loss}［W］は，例えば変換効率η＝

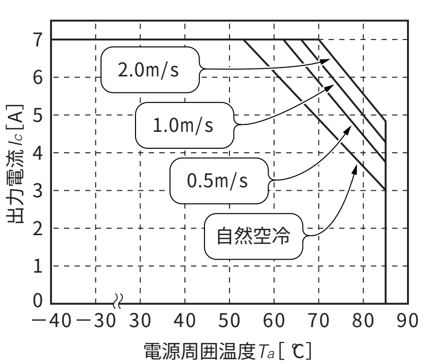


図14-1　温度ディレーティングの例
この電源は定格電流値が7Aだが，自然空冷の状態では，周囲温度が60℃のとき最大6Aまでしか出力を取り出せない．

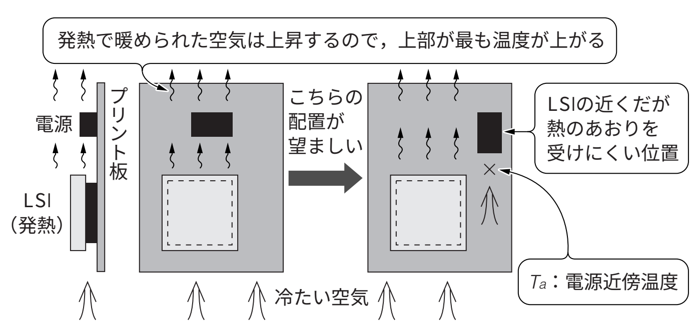


図14-2　部品の配置が温度上昇に与える影響は非常に大きい
ここでは，プリント基板を立てて使用する例を示す．電源周囲温度T_aとは，外気温度ではなく，周囲からの熱のあおりを含んだ電源近傍の温度のこと．



90％のDC-DCコンバータを用いると，

$W_{loss} = W_o(1/\eta - 1) = 0.556$［W］………………(14-1)

程度の小さいものです．ところが，電源の実装位置がLSIに近づけば，5Wの発熱であおられることになり，電源の周囲温度の上昇が予想されます(**図14-2**)．

部品の配置が温度上昇に与える影響は非常に大きなものです．先の温度ディレーティングの電源周囲温度T_aとは，外気温度ではなく，周囲からの熱のあおりを含んだ電源近傍の温度です．

● 簡単な冷却効果の計算：熱抵抗を利用する

冷却風を強くすることや放熱フィンを付けることで冷却効果は上がります．しかし，実際に電源内部の部品温度はどの程度になっており，温度上昇の余裕が後どれぐらいあるのかを把握するには，どうすればよいでしょうか．

放熱系は電気回路に置き換えて考えることができます．**図14-3**はもっとも簡略化した放熱のモデルですが，これを使うと温度上昇を簡単に計算できます．内部損失W_{loss}が電流源，温度が電圧(電位)，熱抵抗θが電気抵抗にあてはまるので，次の式が成り立ちます．

$T = W_{loss} \times \theta + T_a$…………………………………(14-2)

ただし，T注1は内部部品の温度，T_aは周囲温度，θは内部部品から周囲の空気までの熱抵抗

内部損失W_{loss}を求めるには，電源の出力電力W_oが分かっているときは前述の式(14-1)を，入力電力W_iが分かっているときは$W_i(1-\eta)$の式を，両方が分かっているときは$W_i - W_o$を用います．周囲温度T_aは温度計で測定できるので，残ったθを知ることができれば，内部部品温度Tを計算できます．

● 熱抵抗を用いた温度算出例

米国Vicor社は，熱抵抗値のデータを公開しています(**表14-1**)．48C5C100Aという機種は，入力電圧48V，出力電圧5V，出力電流100Aのスイッチング電源です．温度ディレーティングの基準(温度T)には，ケース上面のアルミ製ベースプレートの温度を用いており，これが100℃を超えないように，出力電力を低減または冷却することになっています．

この電源を出力電力30Wで使う場合の温度上昇を計算してみます．内部損失W_{loss}は電源の変換効率である82%(本電源においては，負荷による変換効率の変動は小さいため，以下の計算では82%一定と仮定する)を用いて，式(14-1)から，

$W_{loss} = 30(1/0.82 - 1) = 6.6$［W］………………(14-3)

となります．**表14-1**から，放熱フィンを取り付けずに自然空冷で使う場合の熱抵抗θは，自然空冷とベース・プレートの交点を読むと10.90℃/Wであるので，基準点(ベース・プレート)の温度上昇は，

$\theta \times W_{loss} = 10.9$［℃/W］× 6.6［W］＝ 71.9［℃］…(14-4)

と計算できます．ベース・プレート温度の最大値は100℃なので，この使用条件で動作が可能な最大周囲温度は，100 − 71.9 ＝ 28.1［℃］です．

周囲温度がこれより高いとき，または，これより大きい出力を取り出したいときには，ヒート・シンクの付加や強制空

注1：部品温度は正しくはT_j(ジャンクション温度)として計算するが，ここでは内部部品のジャンクション温度，内部部品表面の温度，電源のケース表面温度の間の温度こう配が小さいとして，おのおのの温度を区別せずにTとして取り扱う．同じように熱抵抗もθ_{j-a}(ジャンクションと周囲空気の間の熱抵抗)などと記述するが，ここでは単にθと書き，電源内部と周囲空気の間の熱抵抗として使う．

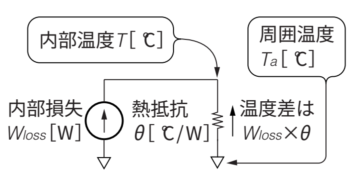


図14-3 放熱のモデル
放熱系は電気回路に置き換えて考えられる．

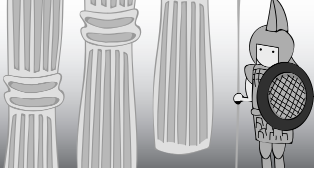
表14-1 V48C5C100Aの熱抵抗(ベース・プレートと周囲温度間)

θ_{bm} = 15 ℃/W	ベース・プレート	0.4 ”Longitudinal Fins	0.9 ”Longitudinal Fins
自然空冷	10.90	7.77	5.37
200LFM	6.90	3.87	2.51
400LFM	4.78	2.68	1.79
600LFM	3.74	2.13	1.42
800LFM	3.15	1.78	1.20
1000LFM	2.79	1.48	1.06
1200LFM	2.49	1.32	0.93

LFM
風速の単位でLinear feet per minuteのこと．200LFMは約1m/s

0.4 ”Longitudinal Fins
0.4 ”はヒートシンクの高さ(インチ表示)．Longitudinalはフィンが電源の長手方向に刻んであるもの．電源の長手方向に対してフィンが垂直のTransverseタイプのものも用意されている

θ_{bm}
ベース・プレートとヒートシンクとの間(境界面)の熱抵抗という意味で使われる．ただし，表中のヒートシンクを取り付けた場合の熱抵抗値(ベース・プレートと周囲の空気の間の熱抵抗)はθ_{bm}を含んでいるため，温度上昇の計算にθ_{bm}の値を考慮する必要はない



冷が必要になります．**表14-1**から例えば，「0.4 ” Longitudial Fins」を取り付けて，200LFMの強制空冷を行うと，熱抵抗θは3.87 ℃/Wに低下します．先ほど計算した内部損失から，温度上昇は3.87［℃/W］× 6.6［W］＝25.5［℃］になるので，周囲温度が例えば65 ℃になる装置で使用したとすると，ベース・プレートの温度は65＋25.5＝90.5［℃］になり，最大許容温度100 ℃までの温度余裕は100－90.5＝9.5［℃］と計算できます．

表14-1には，より大型のヒートシンク「0.9 ” Longitudial Fins」の付加や，風速の大きい強制空冷を適用すれば，熱抵抗はさらに小さくなることが示してあり，冷却性能を数値で知ることができます．

● データシートに記載されていない熱抵抗の求め方

熱抵抗値はとても役に立つのですが，電源のデータシートに熱抵抗値が表示されていることはまれです．しかし，熱抵抗値の記載がなくとも，温度ディレーティングのグラフから熱抵抗を計算できます．**図14-4**は先ほどのvicor社の電源における出力電力の温度ディレーティング特性です．熱抵抗θはグラフの傾きから求めます．自然空冷の場合を見てみると，周囲温度T_aが28 ℃から100 ℃の間で出力電力は30Wから0Wへ低減します．出力電力30Wのときの内部損失は変換効率82 %から6.6Wと計算でき，0Wのときの内部損失はほぼゼロなので，熱抵抗は（100［℃］－28［℃］）/6.6［W］＝10.9［℃/W］と計算できます．

図14-4の点Aは，出力電力がゼロのときの周囲温度を示していますが，この温度から，内部温度T（ここではベース・プレートの温度）の許容最大値が100 ℃であることが分かります．出力電力がゼロ（内部発熱がゼロ）のときは，周囲温度と電源内部温度が同じだからです．

先述しましたが，温度上昇は周囲部品との距離やそれらの発熱，空気の流れによって大きく影響を受けます．熱抵抗値も放熱環境により大きく変動するので，実際に動かす回路，実際の実装状態，実際の冷却状態で動作させて，計測・算出した熱抵抗値が最も正確であり，正確な温度計算の役に立ちます．

図14-5は測定の例です．温度測定にはできるだけ熱が逃げないようにするためφ 0.1mm～φ 0.2mmの細い熱電対または放射温度計を用います．熱抵抗θは，基準点温度Tと周囲温度T_aを測定すると，$\theta=(T-T_a)/W_{loss}$で求まります．強制空冷による放熱の効果を測定する場合には，微少点の風速を測定できる熱球式プローブを備えた風速計を用いて，点Pの風速を測定しておきます．

2 電源の温度を下げることで信頼性はどの程度改善するか

ここまでの「周囲温度による定格値の低減」は，電源の内部温度，多くは電力用半導体のジャンクション温度を絶対最大定格に収めるために，周囲温度が高いときは電力定格を下げる（内部発熱を下げる）ことであり，過熱による部品の破壊を防ぐ目的のものです．

信頼度向上のためのディレーティング「期待寿命を延長するストレスの軽減」を考えるときは，上記の最大定格の

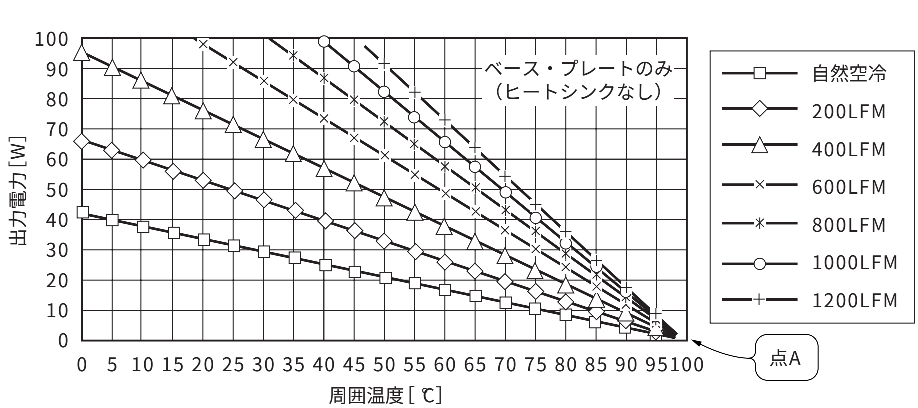


図14-4　V48C5C100Aにおける出力電力の温度ディレーティング特性

熱抵抗θはグラフの傾きから求められる．自然空冷の場合を見てみると，T_aが28 ℃から100 ℃の間で出力電力は30Wから0Wへ低減している．出力電力30Wのときの内部損失は変換効率82 %から6.6Wと計算でき，0Wのときの内部損失はほぼゼロであるため，熱抵抗は（100 ℃－28 ℃）/6.6W＝10.9 ℃/Wと計算できる．

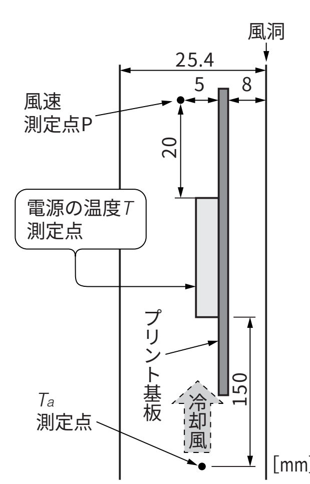


図14-5　温度測定系の例

温度測定にはできるだけ熱が逃げないようにするためφ 0.1mm～φ 0.2 mmの細い熱電対または放射温度計を用いる．



低減値から，さらにストレス（温度）を低減することになります．信頼性の指標として，MTBFに注目します．

1）メーカが公開するデータから算出

電源メーカが発表している信頼性データは，ある一つの条件，例えば「周囲温度＋40 ℃，負荷100 %」における数値であることがほとんどです．動作温度に対する信頼性の数値を公開しているメーカにデンセイ・ラムダがあります．**図14-6**は 同社の絶縁型DC-DCコンバータ「PSS10-48-5」のMTBFデータです．これによると，100 %負荷の状態の信頼性（平均故障間隔MTBF）は，周囲温度T_aを＋50 ℃から＋25 ℃へ低減すると，1.8倍に改善します注2．

2）MIL-HDBK-217F NOTICE2から算出

MIL-HDBK-217Fは，信頼性予測法として電気業界全体で標準的に使用されてきた規格です．また，最もよく知られた規格で，現在も頻繁に取り上げられます注3．

この信頼性予測法は，部品故障率λ_p［故障/10^6時間］の基本形式を，以下のように設定しています．

$$\lambda_p = \lambda_b \cdot \pi_T \cdot \pi_A \cdot \pi_R \cdot \pi_S \cdot \pi_C \cdot \pi_Q \cdot \pi_E \quad \cdots\cdots\cdots\cdots (14\text{-}5)$$

ただし，λ_b：基礎故障率，π_T：温度ファクタ，π_A：アプリケーション・ファクタ，π_R：電力定格ファクタ，π_S：電圧ストレス・ファクタ，π_C：接合構造ファクタ，π_Q：品質ファクタ，π_E：環境ファクタ

式の形を見ると，故障率はすべてのファクタの積になっているので，温度に対するπ_T値の変化を見れば，温度の低減によって部品の信頼度をどの程度改善できるかが分かります．システムの故障率は部品個々の故障率の総和ですから，クリティカルな部品の故障率の温度依存状況が分かれば，システム全体の故障率の温度依存状況が，ほぼ分かることになります．

電源の中で最も熱的に厳しいと考えられるのは，電力用半導体（MOSFETやダイオード）です．電源全体の故障率に占めるこれら部品の故障率の割合はかなり高いと考えられるため，これらの部品の故障率に注目してみます．MIL-HDBK-217F NOTICE2では，これらの部品のπ_Tを**図14-7**のように規定しています．

ダイオードにおいてはジャンクション温度T_jが＋120 ℃のときの故障率は，＋25 ℃のときの12倍です．もしT_jを100 ℃まで下げると，π_Tは8なので，部品故障率は＋120 ℃のときの67 %に減少すると算出できます．同じようにFETはT_jを＋120 ℃から＋100 ℃に下げた場合，部品故障率は77 %に減少することが算出できます．

電源全体の故障率の減少割合を考えた場合は，上記の算出値よりも若干，減少幅が大きくなると考えられます．それは電力用FETやダイオードだけでなく，ほかの部品の故障率も温度を下げることによって減少すると考えられるからです．

3）アレニウスの法則から算出する

アレニウスの法則は，化学反応の温度依存性から部品の経年劣化を予測する法則です．電源内部にアルミ電解コンデンサが使用されていることがよくあります．アルミ電解

注2：MTBFの計算方法は電源メーカによりまちまちなので，得られるMTBFの値もメーカ間でかけ離れた値になることがある．その理由は，使っている個々の部品の故障率を決める場合に，MIL-HDBK-217F規格通りに計算するメーカもあれば，部品の実際の市場故障を含めた経験値を用いるメーカもあるため．負荷電流や内部損失の影響を省略した計算方法を用いる場合もある．これらの差をどう考えるべきかについては参考文献(3)（米国Tyco Electronics Power Systems社のWebサイトに公開）の考察が参考になる．

注3：米国軍用規格であり，1995年のNOTICE2版を最後に更新は停止．現在用いられているほかの信頼性予測法もこの規格をもとに構築されたと言われる．本規格の内容は公開されている．

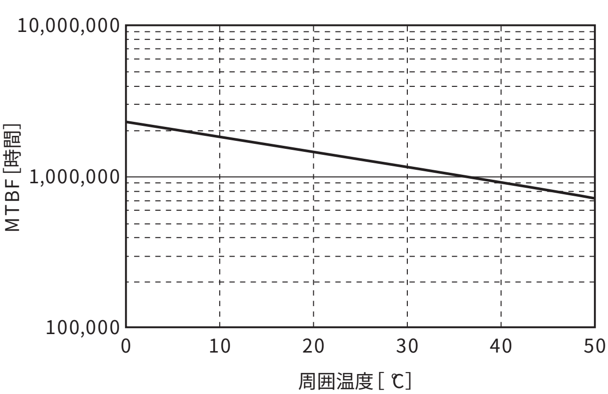


図14-6　絶縁型DC-DCコンバータ「PSS10-48-5」のMTBFデータ
100 %負荷の状態の平均故障間隔MTBFは，周囲温度T_aを＋50 ℃から＋25 ℃へ低減すると1.8倍に改善する．

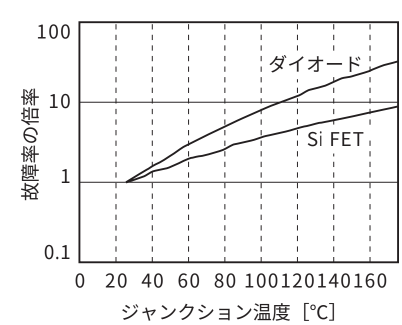
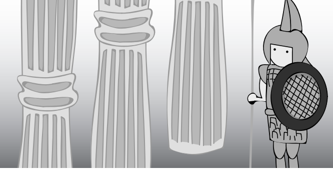


図14-7　MIL-HDBK-217F NOTICE2のπ_Tが示す部品故障率の温度依存性
ダイオードにおいて，ジャンクション温度T_jが＋120 ℃のときの故障率は，＋25 ℃のときの12倍．



コンデンサは使っている間に内部の電解液が蒸散することで特性が徐々に劣化します．このような故障形態を摩耗故障と言い，有限の期間で必ず寿命に達します．アルミ電解コンデンサを使っている電源の寿命は，このアルミ電解コンデンサの寿命によって決まることがほとんどです．

アルミ電解コンデンサの寿命は，アレニウスの法則によく一致することが分かっており，温度を10℃下げると寿命が2倍になることから，一般に「10℃2倍の法則」と言われており，以下の式で表せます．

$$L_x = L_o \times 2^{(T_o - T_x)/10} \quad \cdots\cdots (14\text{-}6)$$

ただし，L_x：推定寿命，L_o：最大使用温度での寿命，T_o：最大使用温度，T_x：実使用温度

例えば，「＋105℃，3000時間」のアルミ電解コンデンサを＋95℃で使うと，寿命は2倍の6000時間と計算できます．

実際に電源で使われている状況を考えると，式(14-6)はもう少し複雑になります．アルミ電解コンデンサにリプル電流を流すと，内部損失によりさらに温度が上がるためです．内部損失による温度上昇が寿命に与える効果は，「温度が5℃下がると寿命は2倍になる」とされており，式(14-6)は次のように書き換えられます．

$$L_x = L_o \times 2^{(T_o - T_x)/10} \times 2^{(-\Delta T/5)} \quad \cdots\cdots (14\text{-}7)$$

ただし，ΔT：アルミ電解コンデンサ内部の温度上昇値

いま，機器を外気温＋40℃で動作させるとき，機器の内部温度上昇値(アルミ電解コンデンサの近傍の温度上昇)が＋25℃とすると，T_xは＋65℃と計算できます．また，アルミ電解コンデンサの内部損失により温度上昇ΔTが＋10℃発生した場合，前述のコンデンサの寿命L_x[時間]は，3000[時間]$\times 2^4 \times 2^{-2}$＝12000[時間]と計算できます．ここで冷却状態を改善したとして，機器内部の温度上昇値を＋15℃に抑えることができたとすると，T_xは10℃下がるので，寿命は2倍の24000時間に改善できることになります．

参考・引用*文献

(1) MIL-HDBK-217F NOTICE2,“ Military Handbook Reliability Prediction of Electric Equipment ”，米国防総省．
(2) RCR-9102A,“ スイッチング電源の部品点数法による信頼度予測推奨基準 ”，電子情報技術産業協会(JEITA)．
(3) TN97-011EPS,“ Reliability Concepts for Electronic Power Supplies ”,Tyco Electronics Power Systems Jul. 1997.
(4) “ Design Guide for Maxi, Mini and Micro (2nd Gen.) 48Vin Family ”,Vicor.
(5) PSS10-＊-＊ 信頼性データ，デンセイ・ラムダ．http://www.densei-lambda.com/products/sps/ps_pm/pss/pdf/pss10_rel.pdf
(6) アルミ電解コンデンサ テクニカルノート，日本ケミコン．http://www.chemi-con.co.jp/catalog_j/caution.html

つきもと・せいし
パワー・エレクトロニクス・エンジニア

<筆者プロフィール>

月元誠士．通信装置用電源をはじめ，人工衛星搭載用ユニット電源，FPGA用超高速応答オンボード電源まで，さまざまな分野の電源開発で10年以上の経験を持つ．アナログな技術者なのだが，このところZ変換に興味がある．

事例 15

異種電源が混在する場合は，電源の立ち上がり特性の違いに配慮する

川田章弘

図15-1の回路は，筆者が社会人1年目のときに設計し，製品化された高速パルス発生回路です．今見ると，改善点のたくさんある回路です．この回路は3GHz帯域のアンダー・サンプリング・ユニット用のパルス発生器として使われました．

図15-1の回路では，回路内で異種電源が使われています．特に，OPアンプの電源電圧が±14Vとなっているのが特徴的です．このように，異種電源が使われるときは，電源投入時における電圧立ち上がり特性の違いに配慮しておく必要があります．特に，OPアンプに電源が投入された瞬間には，フィードバックの遅れから出力にパルス状の高電圧が発生する可能性もあるからです．

図の回路では，電源投入時にOPアンプの出力が高くなり，設計外の電流を流そうと定電流回路が動作する可能性も考えられます．そのため，OPアンプの出力にクランプ回路を挿入し，大電流が流れることを阻止しています．

このような，クランプ回路は異種電源が使用されている回路ではなるべく挿入すべきだと言えるでしょう．部品点数は増えますが，回路が破損してしまうことに比べれば安いものです．

異種電源が使用された回路では，まれにこのような配慮に欠ける回路が見受けられます．そして，デバイス破損時に部品メーカへ不良報告することもあるようです．しかし，これは回路設計上の問題です．回路設計者は，常に回路動作を予想し，不測の事態の際は「最悪の結果」を回避する設計を心がけたいものです．

かわた・あきひろ
日本テキサス・インスツルメンツ(株)

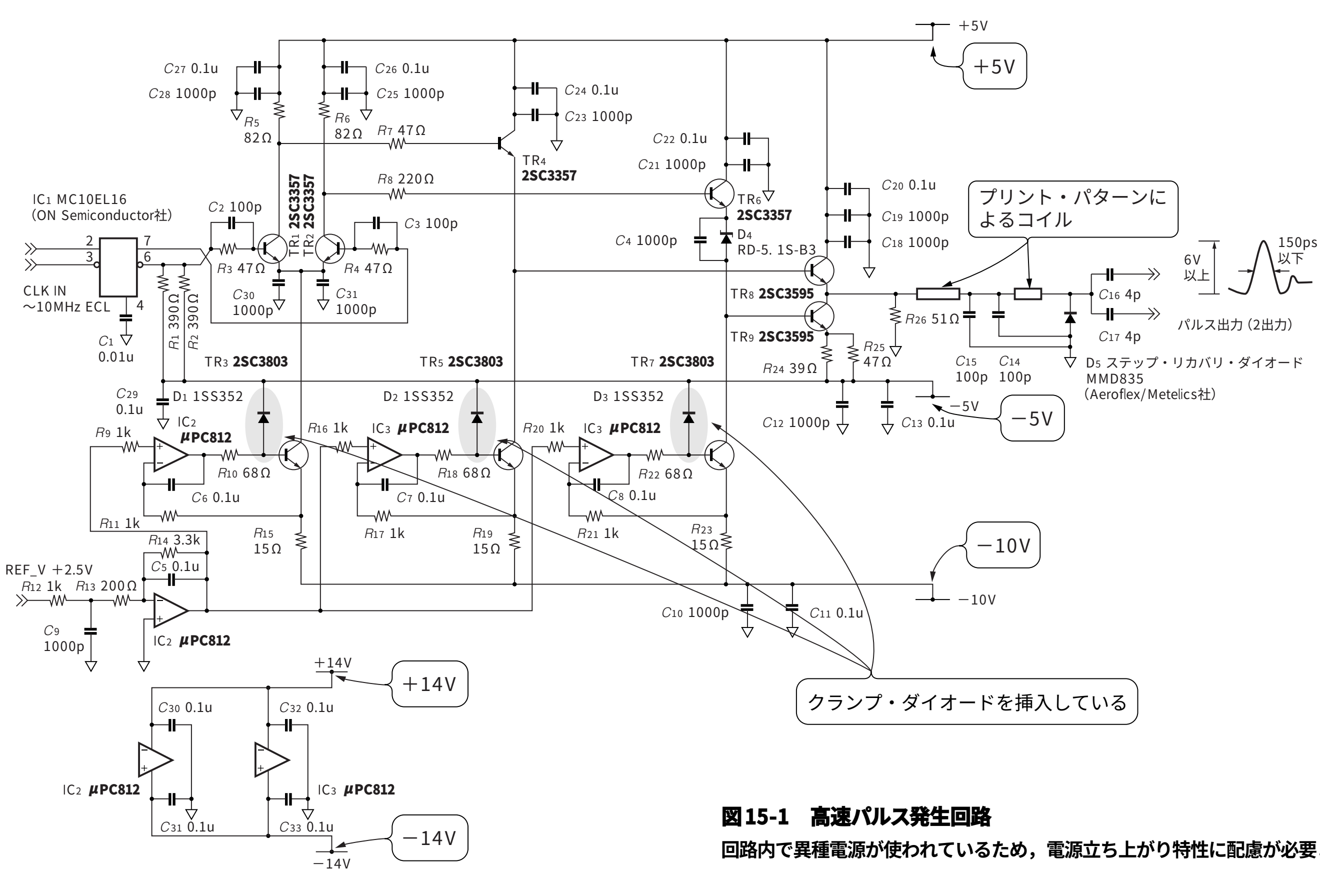


図15-1　高速パルス発生回路
回路内で異種電源が使われているため，電源立ち上がり特性に配慮が必要．